

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-90668

(43)公開日 平成10年(1998)4月10日

(51)Int.Cl.⁶
G 0 2 F 1/1333
1/136

識別記号
5 0 0
5 0 0

F I
G 0 2 F 1/1333
1/136

5 0 0
5 0 0

審査請求 未請求 請求項の数8 O L (全29頁)

(21)出願番号 特願平8-243876

(22)出願日 平成8年(1996)9月13日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 土田 勝也

神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術研究所内

(72)発明者 藤原 久男

神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術研究所内

(72)発明者 伊藤 剛

神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術研究所内

(74)代理人 弁理士 鈴江 武彦 (外6名)

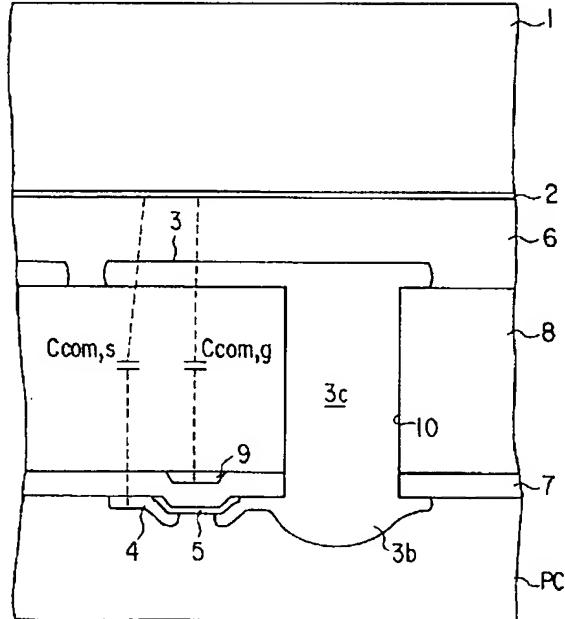
最終頁に続く

(54)【発明の名称】 表示装置

(57)【要約】

【課題】低消費電力で、小型、高い画質で表示できる反射型液晶表示装置の実現を目的とする。

【解決手段】信号線4とゲート線9とアクティブ素子5のうち少なくとも一つをスルーホール10を介して液晶層6から遠い側のアレイ基板面に配置し、液晶層6による各種電極間の結合容量を小さくして、この結合容量による充電・放電による電流を抑制するようにして構成される。



【特許請求の範囲】

【請求項 1】 基板上に配列される複数の信号線およびゲート線と、少なくとも前記一つの信号線と前記一つのゲート線にアクティブ素子を介して接続される画素電極とを備えたアレイ基板と、前記画素電極に対向する対向電極を備えた対向基板と、前記画素電極と前記対向電極との間に配置される表示媒体層とを備えた表示装置において、

前記信号線と前記ゲート線と前記アクティブ素子のうち少なくとも一つを前記表示媒体層に面する側と反対側の前記アレイ基板面に配置した前記アレイ基板を含むことを特徴とした表示装置。

【請求項 2】 基板上に配列される複数の信号線およびゲート線と、少なくとも前記一つの信号線と前記一つのゲート線にアクティブ素子を介して接続される画素電極とを備えたアレイ基板と、前記画素電極に対向する対向電極を備えた対向基板と、前記画素電極と前記対向電極との間に配置される液晶層とを備えた表示装置において、

前記信号線と前記ゲート線と前記アクティブ素子のうち少なくとも一つを前記液晶層に面する側と反対側の前記アレイ基板面に配置した前記アレイ基板を含むことを特徴とした反射型液晶表示装置。

【請求項 3】 基板上に配列される複数の信号線およびゲート線と、少なくとも前記一つの信号線と前記一つのゲート線にアクティブ素子を介して接続される画素電極とを備えたアレイ基板と、前記画素電極に対向する対向電極を備えた対向基板と、前記画素電極と前記対向電極との間に配置される液晶層とを有する表示装置において、

前記アクティブ素子のうち少なくとも一つが前記液晶層から遠い側の前記アレイ基板面に配置され、

前記画素電極と前記アクティブ素子とが前記アレイ基板に設けられたスルーホールを通して接続され、

前記スルーホールと前記画素電極とが引き出し線により接続されることを特徴とする反射型液晶表示装置。

【請求項 4】 液晶材料を狭持する透明絶縁基板と、絶縁基板と、前記透明絶縁基板に備わっている透明電極と、前記絶縁基板に備わっている反射面を有する画素電極と、前記画素電極に画像信号を印加する信号線と、前記信号線に画像信号を供給する信号線駆動回路と、を具備し、前記信号線と前記信号線駆動回路とは前記絶縁基板内に設けたコンタクトホールを通して接続されていることを特徴とする反射型液晶表示装置。

【請求項 5】 液晶材料を狭持する透明絶縁基板と、絶縁基板と、前記透明絶縁基板に備わっている透明電極と、前記絶縁基板にマトリックス状に配列された反射面を有する画素電極と、前記画素電極への書き込み動作を制御するスイッチング手段と、前記スイッチング素子を駆動するための走査線と、前記走査線に走査信号を供給

する走査線駆動回路と、画像信号を印加する信号線と、前記信号線に画像信号を供給する信号線駆動回路と、を具備し、前記信号線と前記走査線は、前記絶縁基板内に設けたコンタクトホールを通して、前記信号線駆動回路と前記走査線駆動回路とに接続されていることを特徴とする反射型液晶表示装置。

【請求項 6】 絶縁基板にマトリックス状に配列された画素電極を、少なくとも 2 つ以上の複数の画素よりなる画素ブロックに分割し、前記ブロック内に配設された画素電極に対し書き込み動作を制御するスイッチング手段と、前記スイッチング素子を駆動するための走査線と、前記走査線に走査信号を供給する走査線駆動回路と、画像信号を印加する信号線と、前記信号線に画像信号を供給する信号線駆動回路と、を具備し、前記信号線と前記走査線は、前記絶縁基板内に設けたコンタクトホールを通して、前記信号線駆動回路と前記走査線駆動回路とに接続されていることを特徴とする反射型液晶表示装置。

【請求項 7】 マトリックス状に配置された画素電極と、該画素電極毎に表示信号の書き込みと保持とを制御する手段と、該書き込みと保持とを制御する手段を有する画素電極に表示信号を供給する手段とを有する液晶表示装置において、該画素電極への表示信号の供給は、列方向に分割された信号線と各々の信号線に接続された列方向で独立した信号線駆動回路とにより行われることを特徴とする液晶表示装置。

【請求項 8】 任意の一列に配列している分割された信号線と、該信号線の各々の信号線に接続された列方向で独立した信号線駆動回路は、液晶表示装置に印加される表示信号が休止状態である時、または該信号線の各々に接続されている信号線駆動回路の少なくとも一つの駆動回路が駆動状態にあるときは、それ以外の信号線と信号線に接続されている駆動回路とを電気的に開回路状態にする手段を備えたことを特徴とする請求項 7 記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明はアクティブマトリックス型の表示装置に係わり、特に液晶表示装置に代表される低消費電力化をはかった表示装置に関する。

【0002】

【従来の技術】 パーソナルコンピュータ、ワードプロセッサ、EWS 等の OA 用表示装置；電卓、電子ブック、電子手帳用の表示装置；携帯テレビ、携帯電話、携帯 FAX 等の表示装置は、携帯性が重視されており、バッテリー駆動する必要があるので、消費電力ができるだけ少ないことが望ましい。従来、薄型の表示装置としては、液晶表示装置（LCD）、プラズマディスプレイ、フラット CRT 等が知られている。このうち、低消費電力の要求に対しては液晶表示装置が最も適しており、実用化されている。液晶表示装置のうち、表示面を直接見るタ

イプを直視型という。直視型液晶表示装置には、バックライトとして背面に蛍光ランプ等の光源を組み込む透過型と、周囲の光を利用する反射型がある。このうち、透過型液晶表示装置はバックライトが必要であり、低消費電力化には向きである。これは、バックライトの消費電力が大きく、バッテリー駆動で1日使用することが困難だからである。したがって、携帯性を有する情報機器のディスプレイとしては、反射型液晶表示装置が最も普及している。反射型液晶表示装置の駆動方法として一般的に普及しているのが単純マトリックス駆動であるが、単純マトリックス駆動は画質劣化が生じるため、アクティブマトリックス駆動が望まれている。

【0003】図96は従来構造の反射型液晶表示装置の断面構造を示しており、ガラス基板1の下面には対向電極2が配置され、液晶層6を挟んでガラス基板1と対向してアレイ基板が配置される。このアレイ基板はガラス基板8の上に配置されたシリコン酸化膜7を有し、このシリコン酸化膜7の下にはゲート線9が配置され、上側にはアモルファシリコン層(a-Si)5を挟んで反射板を兼ねる画素電極3および信号線4が配置されている。

【0004】このような従来構造では、図96に示される様にガラス基板1とガラス基板8の間に信号線4、ゲート線9、a-Si5が配置されている。つまり、アクティブ素子(TFT)がガラス基板1と8の間に配置されている。この構造では信号線4と液晶層6及びゲート線9と液晶層6との距離を大きくすることが困難であり、例えば、シリコン酸化膜7の厚さを5μm以上にすることは非常に困難である。

【0005】この様な構造のアクティブ素子を使った反射型液晶表示装置では、液晶層6に使う液晶材料としてPDL C(高分子分散型液晶)、PCGH(相変化ゲストホスト液晶)、PSCT(高分子スタビライズドコレスレリックテキスチャー)、TN(ツイステッドネマティック)などの比誘電率が比較的高く駆動電圧が高いものを使う。従って、従来構造では信号線4及びゲート線9を駆動した際に、対抗電極2と信号線4間の結合容量C_{c o m}、s_{c o m}、および対抗電極2とゲート線9間の結合容量C_{c o m}、gに流れる充放電電流が大きく問題である。

【0006】

【発明が解決しようとする課題】このアクティブマトリックス駆動では1画素毎にアクティブ素子を備えているため反射型液晶表示装置の高画質が確保されるものの、アクティブ素子を駆動するために信号線、ゲート線、補助容量線(以下Cs線とする)が必要で、従来これらがすべて液晶層側のアレイ基板側に配置されているため、液晶層を介した各種電極間の結合容量が比較的大きく、前記結合容量に流れる充放電電流のため携帯機器に必要な低消費電力性能が十分確保出来ず、反射型液晶表示装

置の高画質化と低消費電力化の両方を同時に実現するのが困難であった。

【0007】そこで、本発明は、この様な技術課題を解決すべくなされたものであり、高画質でしかも消費電力の少ない表示装置を提供することを目的とする。

【0008】

【課題を解決するための手段】この発明の表示装置は、基板上に配列される複数の信号線およびゲート線と、少なくとも前記一つの信号線と前記一つのゲート線にアクティブ素子を介して接続される画素電極とを備えたアレイ基板と、前記画素電極に対向する対向電極を備えた対向基板と、前記画素電極と前記対向電極との間に配置される表示媒体層とを備えた表示装置において、前記信号線と前記ゲート線と前記アクティブ素子のうち少なくとも一つを前記表示媒体層に面する側と反対側の前記アレイ基板面に配置したことを特徴として構成されている。

【0009】上記の構成により、本発明に係る表示装置では、前記信号線とゲート線とアクティブ素子のうち少なくとも一つを液晶層から遠い側のアレイ基板面に配置しているので、液晶層による各種電極間の結合容量を小さくすることが出来る。このため、アクティブ素子を駆動する際に液晶層による各種電極間の結合容量のため生じる充放電電流を抑えることができ、高画質、低消費電力を実現した表示装置を提供することができる。

【0010】

【発明の実施の形態】以下、この発明の種々の実施の形態を図面により詳細に説明する。図1は第1の実施の形態の反射型液晶表示装置の断面構造を示しており図96と対応する部分には同一の参照符号を付してある。

【0011】ガラス基板1の下面には対向電極2が配置され、液晶層6を挟んでガラス基板1と対向してアレイ基板が配置される。このアレイ基板はガラス基板8の下に配置されたシリコン酸化膜7を有し、このシリコン酸化膜7とガラス基板8との間にはゲート線9が配置され、シリコン酸化膜7を挟んだ下側にはアモルファシリコン層(a-Si)5を挟んで画素電極3および信号線4が配置されている。ガラス基板8にはスルーホール10が形成され、画素電極3はこのスルーホール10を通って反対側の液晶層6側の、下側にあるアモルファシリコン層(a-Si)5を挟んで画素電極3および信号線4が配置されているTFTアクティブ素子に対応する位置にまで延びて配置されている。

【0012】このような構造では、信号線4と液晶層6及びゲート線9と液晶層6との間にガラス基板8が介在するため、相互の距離を大きくすることができる。なお、TFT素子部分を含む全体は保護膜PCで保護される。

【0013】ここで、TFTアクティブ素子を使った反射型液晶表示装置では、液晶層6に使う液晶材料としてPDL C(高分子分散型液晶)、PCGH(相変化ゲス

トホスト液晶), P S C T (高分子スタビライズドコレスレリックテキスチャー)、T N (ツイステッドネマティック)などの比誘電率が比較的高く駆動電圧が高いものを使う。しかしながら、この実施態様の構造では信号線4及びゲート線9を駆動した際に、対抗電極2と信号線4間の結合容量C_{c o m}, s, および対抗電極2とゲート線9間の結合容量C_{c o m}, gが小さくなるので、

$$P_{LCD} = C_{com, s} * f_s * V_s^2$$

$$+ C_{com, g} * f_g * V_g^2 \dots \dots \quad (1)$$

ここで、f_s: 信号線駆動周期

V_s: 信号線駆動電圧

f_g: ゲート線駆動周期

V_g: ゲート線駆動電圧である。但し、信号線、ゲート線とも1本の時の消費電力である。従って、消費電力P

$$C_{com, s} (C_{com, g}) \propto \epsilon_{LC} * \epsilon_{(絶縁体)} * \epsilon_0$$

$$\propto (\epsilon_{LC} * d_{(絶縁体)}) + \epsilon_{(絶縁体)} * d_{LC} \dots \dots \quad (2)$$

ここで、 ϵ_{LC} : 液晶層の比誘電率

$\epsilon_{(絶縁体)}$: 液晶層と信号線(ゲート線)間絶縁体の比誘電率

ϵ_0 : 真空の誘電率

d_(絶縁体): 絶縁体の厚さ

d_{LC}: 液晶層の厚さ

この(2)式から、分母にある液晶層6と信号線4及び液晶層6とゲート線9間の絶縁体の厚さd_(絶縁体)を増すことで消費電力P_{LCD}を下げる事が可能である。

【0018】このように、図1の実施の形態に係る反射型液晶表示装置では、ガラス基板1と8の間に信号線4、ゲート線9でなるTFT素子が配置されず、ガラス基板8上のガラス基板1とは反対側(液晶層6から遠い面)にTFT素子が配置され、ガラス基板8には画素電極3に電圧を供給するためのスルーホール10が開いており、TFT素子はこのスルーホール10を通して信号線電圧を画素電極3に供給している。

【0019】ガラス基板8の厚さは例えば700μm程度あるため、式(2)から明らかに容量C_{c o m}, s, C_{c o m}, gが小さくなり、結果として消費電力P_{LCD}が小さくなる。なお、シリコン酸化膜7の比誘電率は約6.5である。

【0020】以下に図1の実施の形態に係る反射型液晶表示装置の製造方法を説明する。以下の説明では図1の部分と対応する部分には同一の参照符号を付してある。

【0021】図2～図18は図1の実施の形態に係る反射型液晶表示装置のアレイ基板の製造方法を示している。図2～図18では、1個のTFT、画素電極をもつアレイ基板を作る様子を示しているが実際は複数個を同時に作っている。

【0022】図2のガラス基板8にはまだなにも処理が施されていない。図3ではガラス基板8上にゲート線材料9aをマグネットロンスパッタ法(スパッタ)法などを

ここに流れる充放電電流が大きくならず、低消費電力構造が実現できた。

【0014】この結合容量C_{c o m}, s及びC_{c o m}, gに流れる充放電電流によって消費される消費電力P_{LCD}は以下の様に示される。

【0015】

LCDを下げるためにはこの実施の形態に従ってC_{c o m}, s, C_{c o m}, gの値を下げる事が有効である。

【0016】C_{c o m}, s, C_{c o m}, gの値は以下の様に示される。

【0017】

用い成膜する。図4ではガラス基板8上に形成されたゲート線材料9aからフォトリソグラフィー技術(リソグラフィー技術)を用いて図4に示す様なゲート線9を形成する。このリソグラフィー技術としては、例えば「Analog Integrated Circuits, PAUL R. GRAY ROBERTG. MEYER, University of California, Berkeley」および「日経BP社 VLSI 製造技術 徳山, 橋本編」などに開示された公知の技術を用いることができる。

【0023】すなわち、ゲート線材料9a上に図示しないフォトトレジストを散布し、マスク露光によってゲート線9に対応する部分を露光し、露光されないフォトトレジストを除去してゲート線9に対応する部分以外のゲート線材料9aを露出させ、エッチングによってフォトトレジストが散布されていない不要なゲート線材料9aを除去し、その後すべてのフォトトレジストを除去する。以上の操作によって図4に示される中間製造物が得られる。また、後で説明するように、この時ゲート線9を形成するのと同時にゲート線材料9aからC_s線を形成してもよい(参考文献: 日経BP社「フラットパネルディスプレイ1991～1995」)。

【0024】次いで、図5に示すようにCVD法によってシリコン酸化膜7を全面に形成し、スパッタ法によりa-Si層5aを成膜する。図6は図5の6-6線に沿って切った断面図を示す。続いて、図7に示すように、リソグラフィー技術を用い必要なa-Si5を残して他の部分を除去し、図8に示すようにスパッタ法によりアルミニウム層3aを成膜する。図9は図8の9-9線に沿って切った断面図を示す。

【0025】次に、図10に示したように、ガラス基板8の下部にスパッタ法によりアルミ膜3bを成膜してアレイ基板を形成する。図11は図10の11-11線に沿って切った断面図を示す。次いで、アレイ基板を過度

の温度勾配による変形を避けるため 400°C くらいに予熱した状態で、 CO_2 レーザー等を用い回転レンズ装置と組み合わせアレイ基板に図 12、13 に示す様なスルーホール 10 を形成する。アレイ基板にスルーホール 10 をあける技術として、例えば「続・レーザー加工～生産工程への応用～第3章 小林昭著：開発社」などがある。また、アレイ基板にスルーホールをあける装置として CO_2 レーザー以外のレーザー、例えばエキシマレーザーなどを用いてもよい。図 13 に図 12 の 13-1 3 線に沿って切った断面図を示す。

【0026】続いて、図 14 に示したように、レジスト 12、13 をアレイ基板両面に散布し、その後、不要な部分は除去する。この状態のアレイ基板をメッキ槽に入れ、アレイ基板両面のアルミ電極 3a、3b に電源 E により電圧差を生じさせメッキ処理を施す。その後、図 15 に示すように、アレイ基板両面に散布されたレジストをすべて除去すると、アレイ基板両面に配置されたアルミ 3a、3b はメツキ処理により導通状態となる。

【0027】次に、アレイ基板の TFT 側素子側の面に形成されたアルミ 3a をリソグラフィー技術によりパターニングし、図 16 に示される様に形成する。図 17 は図 16 の 17-17 線に沿って切って示す断面図である。このようなメツキ処理は図 12 に示されるスルーホール 10 を介してアレイ基板両面を一括して安価に導通させることが可能であるが、図 17 から明らかなるように、導通部 10 の上下面を平坦に形成することが出来ず、このままではアレイ基板下側（画素電極側）のアルミ 3b を画素電極として使用することは難しい。

【0028】このため、図 18 に示すように、CMP 法によってアレイ基板下側のアルミ 3b を平坦化する。この部分は後に画素電極 3 となるので表面にでこぼこがあると液晶層 6 に印加する電圧にばらつきが生じ、より鮮明な画像を表示出来なくなってしまう。アレイ基板の TFT 側に配置されたアルミ 3a のでこぼこは画像の質や消費電力等に影響しないので図 18 に示したように、そのままで良い。

【0029】以上の製造方法によって、この実施の態様に係る表示装置のアレイ基板が完成する。図 19、図 20 に完成したアレイ基板 15 を示す。図 19 はアレイ基板 15 を TFT 16 側から見た図であり、図 20 はアレイ基板 15 を画素電極 3 側から見た図である。

【0030】図 9-6 に示した従来構造のアレイ基板の容量 $C_{com,s}$ ($C_{com,g}$) と図 2 の本発明の実施態様構造のアレイ基板の容量 $C_{com,s}$ ($C_{com,g}$) とを比較すると、この実施の態様構造のアレイ基板の容量 $C_{com,s}$ ($C_{com,g}$) は従来構造のアレイ基板の容量 $C_{com,s}$ ($C_{com,g}$) の 0.3% 程度の容量値である。但し、液晶層 6 に PCGH を使用し、 $\epsilon_{LC} = 7$ 、 $\epsilon_{(絶縁体)} = 3$ 、 $d_{(絶縁体)} = 700 \mu\text{m}$ 、 $d_{LC} = 5 \mu\text{m}$ の場合である。よって、本發

明により従来消費電力 $P_{LCD} = 50 \text{ mW}$ であったものが 0.15 mW になった。但し、 $f_s = f_g = 20 \text{ kHz}$ 、 $V_s = 20 \text{ V}$ 、 $V_g = 40 \text{ V}$ である。信号線 640 本、ゲート線 480 本の場合で、参考文献「テレビジョン学会誌 Vol. 42, No. 1 (1988) 駆動方式 柳澤」に示される様な駆動をした場合、本発明により容量 $C_{com,s}$ 及び $C_{com,g}$ で消費されていた消費電力が 6.4 W から 20 mW に削減できた。

【0031】上記実施態様においてはアクティブ素子として TFT を例に上げて説明した。しかしながら、この発明のアクティブ素子はこれに限定するものではなく、例えばダイオード方式のアクティブ素子や MIM 方式（金属-絶縁物-金属）のアクティブ素子やバリスタ方式のアクティブ素子であっても差し支えない。

【0032】また、本発明に係わるアレイ基板では図 18 に示した構成に対して図 21 に示す通り、アレイ基板 15 両面に C_s 電極 17a、17b を設けることが可能で、そのため画素電極 3 の保持特性が良くなり TFT 素子 16 を駆動するフレーム周波数を下げても画質劣化が生じない。また、液晶層 6 の材料は上述した以外のものでも良い。

【0033】以上詳述したようにこの実施の態様によれば、信号線とゲート線とアクティブ素子のうち少なくとも一つを液晶層から遠い側のアレイ基板面に配置しているので、液晶層による各種電極間の結合容量を小さくすることが出来る。このため、アクティブ素子を駆動する際に液晶層による各種電極間の結合容量のため生じる充放電電流を抑えることができ、高画質、低消費電力を実現した反射型液晶表示装置を提供することができる。

【0034】以下、アレイ基板に C_s 電極を形成した実施の態様について説明する。

【0035】図 22 はこの実施の態様に係る反射型液晶表示装置の断面構造を示し、上記の実施の態様と対応する部分には同一の参照符号を付してある。図において、 C_s 電極 20 が信号線 4 と画素電極 3 とにシリコン酸化膜 7 を介して重なりを持つように配置することで、この発明に適用できるアレイ構造で C_s 電極を形成することができる。また、図 22 に破線で示したように、 C_s 電極 20 が隣接の画素電極 3 の間に来るよう配置すれば、この C_s 電極 20 をバックメタル BM として使用することが可能で、信号線 4 の反射率よりも低い反射率を持つ C_s 電極 20 とすることで、よりバックメタル BM としての効果が期待できる。例えば、 C_s 電極 20 をモリブタングステンなどで形成すればよい。

【0036】図 22 の実施の態様の構造の反射型液晶表示装置の製造方法を以下に説明する。図 23 のガラス基板 8 にはまだなにも処理が施されていない。次の図 24 の工程ではガラス基板 8 上にゲート線、 C_s 材料 9a をマグネットロンスパッタ法（スパッタ）法などを用い成膜する。次の工程ではガラス基板 8 上に形成されたゲ-

ト線材料9 a からフォトリソグラフィー技術（リソグラフィー技術）を用いて図2 5に示す様にゲート線9 およびC s 線2 0を形成する。

【0 0 3 7】すなわち、ゲート線材料9 a 上に図示しないフォトレジストを散布し、マスク露光によってゲート線9 およびC s 線2 0に対応する部分を露光し、露光されないフォトレジストを除去してゲート線9 およびC s 線2 0に対応する部分以外のゲート線材料9 a を露出させ、エッチングによってフォトレジストが散布されていない不必要的ゲート線材料9 a を除去し、その後すべてのフォトレジストを除去する。以上の操作によって図2 5に示される中間製造物が得られる。

【0 0 3 8】次いで、図2 6に示すようにCVD法によってシリコン酸化膜7を全面に形成し、スパッタ法によりa-S i層5 aを成膜する。図2 7は図5の2 7-2 7線に沿って切った断面図を示す。続いて、図2 8に示すように、リソグラフィー技術を用い必要なa-S i 5を残して他の部分を除去し、図2 9に示すようにスパッタ法によりアルミニウム層3 aを成膜する。図3 0は図2 9の3 0-3 0線に沿って切った断面図を示す。

【0 0 3 9】次に、図3 1に示したように、ガラス基板8の下部にもスパッタ法によりアルミ膜3 bを成膜してアレイ基板を形成する。図3 2は図3 1の3 2-3 2線に沿って切った断面図を示す。次いで、アレイ基板を過度の温度勾配による変形を避けるため4 0 0 ° Cくらいに予熱した状態で、CO₂レーザー等を用い回転レンズ装置と組み合わせアレイ基板に図3 3、3 4に示す様なスルーホール1 0を形成する。図3 4は図3 3の3 4-3 4線に沿って切った断面図を示す。

【0 0 4 0】続いて、図3 5に示したように、レジスト1 2、1 3をアレイ基板両面に散布し、その後、不必要的部分は除去する。この状態のアレイ基板をメッキ槽1 9に入れ、アレイ基板両面のアルミ電極3 a、3 bに電源Eにより電圧差を生じさせメッキ処理を施す。その後、図3 6に示すように、アレイ基板両面に散布されたレジストをすべて除去すると、アレイ基板両面に配置されたアルミ3 a、3 bはメツキ処理により導通状態となる。

【0 0 4 1】次に、アレイ基板のTFT素子側の面に形成されたアルミ膜3 aをリソグラフィー技術によりパターニングし、図3 7に示される様に形成する。図3 8は図3 7の3 8-3 8線に沿って切って示す断面図である。このようなメツキ処理はスルーホール1 0を介してアレイ基板両面を一括して安価に導通させることができるが、図3 8から明らかなように、導通部1 0の上下面を平坦に形成することが出来ないので、前記の実施態様と同様に、CMP法によってアレイ基板下側のアルミ3 bを平坦化する。この部分は後に画素電極3となるので表面にでこぼこがあると液晶層6に印加する電圧にばらつきが生じ、より鮮明な画像を表示出来なくなつて

しまう。アレイ基板のTFT側に配置されたアルミ3 aでのでこぼこは画像の質や消費電力等に影響しないので図3 8に示したように、そのままで良い。

【0 0 4 2】以上の製造方法によって、この実施の態様に係る表示装置のアレイ基板が完成する。この構造では図3 8からも明らかのように、C s 線2 0とアルミ膜3 aとがシリコン酸化膜7を介して重なりを持つように配置されている。

【0 0 4 3】以上の実施の態様ではスルーホール1 0を介してアレイ基板1 5の両面に形成された画素電極とTFTアクティブ素子1 6とが互いに接続された構造を有するが、その具体的な実施の形態を以下に詳細に説明する。

【0 0 4 4】TFTアクティブ素子1 6を液晶層6とは反対側に形成する構造（裏面アクティブ素子構造）であると、前記結合容量に流れる充放電電流を激減させ低消費電力化を実現することが可能となる。

【0 0 4 5】裏面アクティブ素子構造は、反射型液晶表示装置の低消費電力化を実現するのが可能であるが、製造上、画素電極面に凹凸が出来やすくそのため画質劣化が生じるとともに製造工程が非常に複雑になる。また、信号線、ゲート線とこれらを駆動する集積回路（IC）とを接続するための接続領域を設けなくてはならず額縁面積の妨げとなっている。

【0 0 4 6】以下の実施の形態は、高画質でしかも消費電力が少なく額縁面積の小さい反射型液晶表示装置を提供するものである。

【0 0 4 7】この実施の形態では、画素電極3とアクティブ素子1 6とがアレイ基板1 5に設けられたスルーホール1 0を通して接続されるとともに、引き出し線3 xを介してスルーホール1 0と画素電極3とが接続されるため、アクティブ素子1 6が配置される領域を画素電極3が配置される領域よりも小さくすることができる。よって、額縁面積の小さい反射型液晶表示装置を提供することができる。

【0 0 4 8】図3 9にこの実施の形態に係る反射型液晶表示装置の断面構造を示し、図1の実施の形態と同じ部分は同一の参照符号を付してある。

【0 0 4 9】図3 9の実施の形態で図1のものと異なる部分は、画素電極3とスルーホール1 0に形成された接続部3 cとの間を接続する引き出し線3 xのみであり、他は同じ構成である。TFT素子1 6はこのスルーホール1 0に形成された接続部3 cと引き出し線3 xを通して信号線4の電圧を画素電極3に供給している。

【0 0 5 0】図4 0、4 2、4 4は液晶層6側からガラス基板8を見た時の平面図であり、図4 1、4 3、4 5は反対側のシリコン酸化膜7側からガラス基板8を見た時の平面図である。

【0 0 5 1】図4 0において、黒丸はスルーホール1 0を示しており、それぞれのスルーホール1 0と対応する

画素電極3との間はそれぞれ引き出し線3xにより接続されている。この引き出し線3xは電気抵抗の小さいアルミニウムやITO等が適している。

【0052】図41に示した反対側において、信号線4及びゲート線9と集積回路（IC）は接続パッド22により接続される。この実施の形態では図40、41に示される通り、TFTアクティブ素子16を配置している領域（アクティブ素子領域）が画素電極3を配置している領域（画素電極領域）よりも面積が小さいので、画素電極3下に接続パッド22を設けることが可能である。なお、アクティブ素子領域と画素電極領域の具体的な面積及びその定義を図49、50に示す。

【0053】図42、43は、ガラス基板8とIC24a、24bとを接続した場合の図であり、ガラス基板8とIC24a、24bとはフィルムキャリアテープ26を介して接続されている。この接続方法は例えば「TAB技術入門 畑田寛造著 工業調査会」などによる公知のものでよい。

【0054】このように、この実施の形態では、画素電極3下でIC24a、24bとガラス基板8とが接続可能であるため、額縁面積の小さい反射型液晶表示装置が提供可能である。

【0055】図44、45は、ガラス基板8とIC24a、24bとを接続した場合の図であり、ガラス基板8とIC24a、24bとはバンプ（図示せず）を介して接続される、いわゆるCOG実装で接続されている。この接続方法は、例えば「フラットパネルディスプレイ1990～1996 日経BP社」などにより公知の方法である。この場合も図42、43と同様に反射型液晶表示装置の額縁面積削減が可能である。なお、図45に示すIC24a、24bはガラス基板8のTFT素子16を製造する同一製造過程に製造してもよい。この場合接続用バンプが不要となる。

【0056】図46、47は従来との比較でこの実施の形態による額縁面積削減効果を示すための図であり、図46は従来例を示す。図47はこの実施の形態にかかる反射型液晶表示装置を示したものである。なお、図47ではスルーホール10を省略して示している。

【0057】この実施の形態では、図47から明らかのように、アクティブ素子領域を画素電極領域よりも大幅に小さくすることが可能であるため、図46の従来と比較して反射型表示装置の額縁面積を大幅に削減することが可能である。

【0058】図48は、引き出し線3xによるスルーホール10と画素電極3の接続部分を拡大して示したものである。引き出し線3xの線幅は製造技術上できるだけ細くすることが望ましい。

【0059】また、この実施の形態では、アクティブ素子領域を小さくすることができ、アクティブ素子を形成する際の露光面積が小さくなるので、アクティブ素子を

より均一に製造することができるとともに、ステップ方式におけるショット数を削減し、高いスループットを実現することができる。

【0060】以上述べた如く、この実施の形態では、画素電極とアクティブ素子とがアレイ基板に設けられたスルーホールを通して接続されるとともに、引き出し線を介してスルーホールと画素電極とが接続されるため、アクティブ素子が配置される領域を画素電極が配置される領域よりも小さくすることができる。よって、額縁面積の小さい反射型液晶表示装置を提供することができる。

【0061】以下の実施の形態は、反射面を有する基板と透明基板間に液晶材料を挟持する反射型液晶表示装置に關し、反射面側の基板に画素電極を設け、画素電極に備わっている信号線および走査線と、信号線駆動回路および走査線駆動回路との接続は、基板内に設けたコンタクトホール（ここで、コンタクトホール内部には導電材が満たされており、以下、それを含めてコンタクトホールと呼ぶ）を介して行うことによって、各駆動回路ICを基板背面に実装する、もしくは基板背面に多結晶シリコンなどによってアレイを形成する、セル一体型のモジュール構成となる表示装置である。

【0062】携帯端末のみならずノートパソコン等においても、パネルサイズの拡大を望む一方で、狭額縁化への要求が高まっている。たとえば、図75に図示のように、信号線駆動回路IC181を表示面180に対し上側の長辺に平行に配置し、走査線駆動回路IC182を表示面に対し左側の短辺に平行に配置する方法がある。また、各駆動回路ICと液晶セルとの接続方法は、例えば信号線駆動回路と信号線に関しては、図76に図示のように、信号線よりパシベーション185が備わっていないパッド部186がセル外に引き出され、信号線駆動回路からのタブ配線187と前記パッド部186とを異方性導電膜188を介して接続する方法がある。これにより例えばテープキャリア上にICがある場合には、テープキャリアの幅だけ少なくともモジュールのサイズが大きくなることになる。同様にして走査線駆動回路においても、走査線駆動回路があるテープキャリアの幅だけ少なくともモジュールサイズが大きくなる。これを解決する手段として、信号線駆動回路のテープキャリアを折り曲げて、セルの裏面に持ってくる方法が行われているが、折り曲げの応力が各々の駆動回路に働くことによる接続不良を避けるために、ある程度の余裕を持たせなければならず、そのサイズ分だけパネルサイズが大きくなる。この他にモジュールサイズを決めるものとして、コンピュータからの画像信号を変換するための、ゲートアレイ（以下、GAと呼ぶ）、階調信号用の増幅回路（以下、OP）、その他の受動素子および能動素子が必要となり、これらを実装したPCボードがモジュールサイズを決める一因となる。

【0063】一方、パネルサイズおよび製造プロセス削

減のため、信号線駆動回路、走査線駆動回路を多結晶シリコンで形成する技術が開発されている。この場合においてはセルサイズを小さくできるが、完全に無くすることはできない。

【0064】以下に述べる実施の形態では、反射面を有する画素電極の備わっている絶縁基板背面に、信号線駆動回路および走査線駆動回路を実装し、前記各ICによるパネルサイズの増大を生じさせない反射型液晶表示装置を提供する。

【0065】また、この実施の形態では、セル内を複数の画素よりなる画素ブロックに分割して駆動することにより、セル内の配線長を短くでき、それに伴う配線容量の減少によって、消費電力を低減することができる。

【0066】また、セル内を複数の画素よりなる画素ブロックに分割して駆動することにより、動画表示部と静止画表示部を分けて駆動することができるようにして、動画表示を行うブロックの駆動周波数を高くし、静止画表示を行うブロックの駆動周波数を低くすることによって、表示画像に応じて消費電力を最適化できる。

【0067】また、高精細化によって、信号線間および走査線間の間隔が小さくなつた場合においても、コンタクトホールを設ける位置を色々変えることによって、隣接するコンタクトホール間の間隔を大きくすることができ、隣接するコンタクトホール間で電気的な接触が生じないようにできる。

【0068】また、反射面を有する絶縁基板の前面に画素電極を備えたアレイを形成し、前記絶縁基板の背面に、信号線駆動回路や前記走査線駆動回路の他に、画像データを制御するコントロール回路（例えば、GA）と、外部入力データを所望の論理手段によって処理する処理回路（例えば、中央演算処理部、以下、CPUと呼ぶ）と、電気的信号変換を行う受動素子および能動素子（例えば、OP）などを形成することができるようし、表示のみならず、情報端末自体に必要となる各素子を一体化して構築することができる。

【0069】この実施の形態の液晶表示装置は、液晶材料を挟持する透明絶縁基板と、絶縁基板と、前記透明絶縁基板に備わっている透明電極と、前記絶縁基板に備わっている反射面を有する画素電極と、前記画素電極に画像信号を印加する信号線と、前記信号線に画像信号を供給する信号線駆動回路とを具備し、前記信号線と前記信号線駆動回路とは前記絶縁基板内に設けたコンタクトホールを通して接続されることを基本的構成とする。

【0070】この実施の形態の第1の視点は、反射面を有する画素電極および画素電極が備わっている信号線は絶縁基板の前面に配置され、信号線への画像信号を出力する信号線駆動回路は、絶縁基板の背面すなわち反射面の背面に配置されることを特徴とする反射型液晶表示装置である。

【0071】第2の視点は、マトリックス状に配列され

た反射面を有する画素電極および画素電極が備わっているスイッチング素子と、信号線と、走査線とが、絶縁基板の前面に配置され、前記信号線および走査線と、信号線への画像信号を出力する信号線駆動回路および前記スイッチング素子を制御する走査線への走査信号を出力する走査線駆動回路は、絶縁基板内に設けたコンタクトホールを介して接続されていることを特徴とする反射型液晶表示装置である。

【0072】第3の視点は、マトリックス状に配列された反射面を有する画素電極および画素電極が備わっているスイッチング素子と、信号線と、走査線とが、絶縁基板の前面に配置され、前記信号線および走査線と、信号線への画像信号を出力する信号線駆動回路および前記スイッチング素子を制御する走査線への走査信号を出力する走査線駆動回路は、絶縁基板内に設けたコンタクトホールを介して接続され、また、前記信号線駆動回路および走査線駆動回路は絶縁基板の背面すなわち反射面の背面に配置されることを特徴とする反射型液晶表示装置である。

【0073】第4の視点は、前記絶縁基板にマトリックス状に配列された画素電極を、少なくとも2つ以上の複数の画素よりなる画素ブロックに分割し、前記ブロック内に配設された画素電極に対し書き込み動作を制御するスイッチング素子と、前記スイッチング素子を駆動するための走査線と、前記走査線に走査信号を供給する走査線駆動回路と、画像信号を印加する信号線と、前記信号線に画像信号を供給する信号線駆動回路とを有し、前記信号線および走査線の配線長はブロック毎に同一もしくは同一としないことによって、配線長を変えると共に配線容量を変え、また、ブロック毎に駆動周波数を変えられることを特徴とする反射型液晶表示装置である。

【0074】第5の視点は、前記絶縁基板にマトリックス状に配列された画素電極を、少なくとも2つ以上の複数の画素よりなる画素ブロックに分割し、隣接する前記ブロック間で、信号線および走査線を共通とし、もしくは共通とせず、また、前記ブロック内の信号線および走査線を、同一の前記信号線駆動回路および走査線駆動回路によって駆動し、もしくは同一でない前記信号線駆動回路および走査線駆動回路によって駆動することで、セルサイズもしくは画素数に合わせて各ICの数を最適化することを特徴とする反射型液晶表示装置である。

【0075】第6の視点において、前記信号線もしくは走査線間の間隔とコンタクトホール間の間隔を変えることによって、コンタクトホールを形成するためのプロセス条件または、各ICのピン幅に適応した基板構成であることを特徴とした反射型液晶表示装置である。

【0076】第7の視点は、反射面を有する絶縁基板の前面に画素電極を備えたアレイを形成し、前記絶縁基板の背面に、信号線駆動回路や前記走査線駆動回路の他に、画像データを制御するコントロール回路（例えば、

GA) と、外部入カデータを所望の論理手段によって処理する処理回路（例えば、CPU）と、電気的信号変換を行う受動素子および能動素子（例えば、OP）と、表示のみならず、情報端末自体に必要とされる各素子を実装する、もしくはそれらの内のいずれかを実装することを特徴とする反射型液晶表示装置である。

【0077】第8の視点は、反射面を有する絶縁基板の前面に画素電極を備えたアレイを形成し、前記絶縁基板の背面に、信号線駆動回路や前記走査線駆動回路の他に、画像データを制御するコントロール回路（例えば、GA）と、外部入カデータを所望の論理手段によって処理する処理回路（例えば、CPU）と、電気的信号変換を行う受動素子および能動素子（例えば、OP）とを多結晶シリコン、単結晶シリコンまたはそれに準ずる半導体組成によって形成することができるため、表示のみならず、情報端末自体に必要となる各素子を一体化して構築することを特徴とする反射型液晶表示装置である。

【0078】この実施の形態の液晶表示装置において、絶縁基板材料としては、ガラス基板等を用いることができるが、基板と液晶セルとの間に、反射板を設けることもできるため、画素電極が反射板を兼ねなくても良い。よって、絶縁基板はシリコンやセラミックス等からなる基板材料であっても良い。また、反射材料は、画素電極を兼ね導電性を要する場合には、アルミニウム、クロムなどを用いることができ、画素電極とは独立して配設するなどして絶縁性を要する場合には、酸化マグネシウム、硫酸バリウム等を用いることができる。また、この液晶表示装置において、カラー表示を行う場合に、前記液晶層を積層することによって実施してもよい。

【0079】前記第1の視点によれば、反射面を有する画素電極が信号線に備わっており、信号線への画像信号は絶縁基板の背面すなわち反射面の背面に配置された信号線駆動回路より入力されるため、信号線駆動回路は、表示面には現れず開口率を下げるではなく、画像を表示する、例えばセグメント表示もしくは単純マトリックス表示などを行うことできる。

【0080】第2の視点によれば、マトリックス状に配列された反射面を有する画素電極と前記画素電極に電圧を印加するための手段である信号線駆動回路および走査線駆動回路は、絶縁基板内に設けたコンタクトホールを介して接続されていることにより、コンタクトホールをセルの内側に設けることにより、各ICとセル間の距離を決めているタブ配線部がセルの下に配設できるため、前記各ICとセル間距離を小さくできる。

【0081】第3の視点によれば、マトリックス状に配列された反射面を有する画素電極および画素電極が備わっているスイッチング素子と、信号線と、走査線とが、絶縁基板の前面に配置され、信号線駆動回路および走査線駆動回路は、絶縁基板内に設けたコンタクトホールを介して絶縁基板の背面すなわち反射面の背面に配置され

ることにより、タブ配線を不要とでき、また、各ICが占める面積を実質上最小、もしくは0にできる。

【0082】第4の視点によれば、マトリックス状に配列された画素電極を、複数個の画素よりなるブロックに分割して駆動することにより、信号線および走査線の長さを適当に変えることができる。これにより、従来に比べ信号線および走査線容量を小さくすることができるため、次の式(3)で示される消費電力分を容量の低減により減らすことができる。

$$[0083] P = C * F * V^2 \dots (3)$$

但し、P：消費電力

C：容量

F：駆動周波数

V：駆動電圧

また、動画および静止画を同時に同一表示面に表示するマルチメディア対応において、前記ブロック中のいくつかのブロックでは動画を、その他のブロックでは静止画を表示させるようにすることによって、動画表示のブロックと静止画表示のブロックとで駆動周波数を変えられる。これにより、静止画表示のブロックでは、式(3)に示される駆動周波数を低減できるため、消費電力を減らせる。第5の視点によれば、隣接するブロック間で、信号線および走査線を共通とする、もしくは共通としないことができる。例えば、隣接するブロック間で走査線は共通とし、信号線は共通としないようにすることができる。走査線は共通としたことにより、配線容量が大きくなるが、駆動周波数が低いため消費電力は大きくなり、信号線では駆動周波数は高いが、配線容量を小さくできるため、消費電力を低減できる。

【0084】また極性反転を必要とする場合に、前記信号線および走査線の配線方法を種々変え、信号線反転、コモン反転、ドット反転に最適なブロック構成をとれる。これにより、信号線駆動回路および走査線駆動回路の数が増えることが考えられるが、絶縁基板背面に実装することができるため、モジュールサイズを大きくせずに構成できる。

【0085】第6の視点によれば、高精細化により隣接する信号線もしくは隣接する走査線間の間隔が小さくなつた場合において、夫々のコンタクトホールを大きくすることができる。これにより、コンタクトホール形成のプロセス条件によって、コンタクトホール間の間隔が制限される場合においても、最適なコンタクトホールを形成し前記配線と接続できる。また、信号線駆動回路および走査線駆動回路のピン間隔が制限される場合においても、ICのピン構成に応じてコンタクトホールの配置を変えることができる。

【0086】第7の視点によれば、前記絶縁基板の背面に、信号線駆動回路や前記走査線駆動回路の他に、画像データを制御するコントロール回路（例えば、GA）と、外部入カデータを所望の論理手段によって処理する

処理回路（例えば、CPU）と、電気的信号変換を行う受動素子および能動素子（例えば、OP）と、表示のみならず、情報端末自体に必要となる各素子等を実装することができる。これにより、各素子を表示面の背面に配置し、モジュールサイズをパネルサイズとほぼ等しくすることができる。これにより、全てが表示面となる紙のような情報端末機を構成できる。

【0087】第8の視点によれば、前記絶縁基板の背面に、信号線駆動回路や前記走査線駆動回路の他に、画像データを制御するコントロール回路（例えば、GA）と、外部入力データを所望の論理手段によって処理する処理回路（例えば、CPU）と、電気的信号変換を行う受動素子および能動素子（例えば、OP）と、表示のみならず、情報端末自体に必要となる各素子等を多結晶シリコン、単結晶シリコンまたはそれに準ずる半導体組成によって形成することができる。これにより、画素電極が配設されている表示面と、前記各素子を配設する背面を持つ一枚もしくは複数枚の絶縁基板を構成できる。よって、外付けの各素子の数を最小とすることができます。また、表示面と背面を同一のプロセスによって形成することもできるため、製造プロセスの簡略化を行える。

【0088】以下、図面を参照して詳細に説明する。

【0089】（第1実施例）この実施の形態における第1の実施例は、反射面を有する画素電極および画素電極が備わっている信号線は絶縁基板の前面に配置され、信号線への画像信号を出力する信号線駆動回路は、絶縁基板の背面すなわち反射面の背面に配置されている反射型液晶表示装置である。

【0090】例えば図51に図示の反射型液晶表示装置は、液晶材料33を挟持する透明絶縁基板31と、絶縁基板37と、前記透明絶縁基板31に備わっている透明電極32と、前記絶縁基板37に備わっている反射面を有する画素電極34と、前記画素電極34に画像信号を印加する信号線35と、前記信号線35に画像信号を供給する信号線駆動回路38とを具備し、前記信号線35と前記信号線駆動回路38とは前記絶縁基板37内に設けたコンタクトホール36を通して接続されている。画素電極34と信号線35の間に絶縁材料30が必要に応じて設けられている。ここで、コンタクトホール中には導電材料36aが充填されている。また前記画素電極34、信号線35、コンタクトホール36内部の導電材料36aとは特に材料を区別するものではなく、導電性を有するものであればよい。

【0091】透明電極32側への電圧印加方法は、図52に図示のように、別段にコンタクトホール40を設け、信号線35と信号線駆動回路38と同様に、透明電極32と対向電圧発生回路39を前記コンタクトホール40に充填された導電材料40aを介して接続することで実施できる。

【0092】また、図53に図示のように、セル内に配

設した複数個の画素に対して同一の対向電極電位を透明電極32に印加する場合は、セル周辺に導電部41を設け、透明電極32と導通させ、画素電極34とは絶縁された構成をとることによって実施できる。ここで画素電極34と信号線35が一対で構成されている場合は、セグメント表示を行うことができる。また、画素電極34が横一列で同一とし、透明電極32が縦一列で同一である場合は、単純マトリックス駆動を行うことができる。

【0093】（第2実施例）第2の実施例は、図54に図示のように、液晶材料33を挟持する透明絶縁基板31と、絶縁基板37と、前記透明絶縁基板31に備わっている透明電極32と、マトリックス状に配列された画素電極34と、画素電極34が備わっているスイッチング素子43、信号線35、走査線44と、を具備し、信号線35と図示しない信号線駆動回路はコンタクトホール36を介し、走査線44と図示しない走査線駆動回路とはコンタクトホール45を介して接続されている。ここで、スイッチング素子43は、例えばTFT（薄膜トランジスタ）素子、MIM（メタル・インシュレータ・メタル）素子等によって構成されている。以下スイッチング素子についてはTFTを用いて説明する。

【0094】図55は図54の実施例に係る液晶セルの回路構成を示すものである。液晶材料CLC（33）と、補助容量C_sと、スイッチング素子SW（43）と、信号線S_igと、走査線G_at_eによって基本的に構成され、信号線駆動回路および走査線駆動回路とは、信号線コンタクトホールS_c（36）および走査線コンタクトホールG_c（45）を介して接続されているものとする。

【0095】本実施例に係る液晶セルおよびそれに係るモジュール構成例を裏面側を図56に、表示面側を図57により図示した。液晶セル51に設けたコンタクトホールと、信号線駆動回路53および走査線駆動回路55を実装したTCP（テープキャリアーパッケージ）52および54のタブ配線パッド部が接続されている。

【0096】（第3実施例）第3の実施例は、図58に図示のように、液晶セル61に設けた複数のコンタクトホール62および63を介し、液晶セル61の背面（表示面とは反対面）に実装した信号線駆動回路64および走査線駆動回路65と信号線および走査線を接続する構成となっている。実装方法はタブ実装、バンプ実装などが考えられる。また、各駆動回路64、65とコンタクトホール62、63との電気的、機械的な接触安定性を高めるために、接続後に樹脂などで封止することもできる。また、セルへ応力が働きセルが歪むことによって、接触部が剥がれることが考えられる場合は、各駆動回路64、65の周辺に弾力材を設けることができる。

【0097】図59は別の実施例を示したものであるが、このようにコンタクトホール62、63を液晶セル

6 1 の各辺に対して斜めに設けることにより、各駆動回路 6 4 、 6 5 をパネルの形状に関係なく配置することができる。

【0098】(第4実施例) 第4の実施例は、例えば図5 4 の実施例の前記絶縁基板3 7 にマトリックス状に配列された複数の画素電極3 4 を、少なくとも2つ以上の複数の画素よりなる画素ブロックに分割するものである。この液晶セル構成を図6 0 に図示する。

【0099】図6 0 に示すように、マトリックス状に配列された画素を4つの画素ブロックP B 1 ~ P B 4 に分割し、液晶セル6 1 の背面には例えば信号線駆動回路6 4 および走査線駆動回路6 5 を夫々の画素ブロックP B 1 ~ P B 4 の中間に配置した構造を取るものとする。

【0100】図6 1 には本実施例に係る液晶セルの各駆動回路6 4 、 6 5 と画素ブロックP B 1 ~ P B 4 の構成の関係を示すものである。本方式においては、表示面を4分割して駆動できる。よって、動画と静止画を同一表示面に同時に表示する場合、例えば動画を画素ブロックP B 1 の表示域に、静止画を画素ブロックP B 2 、 P B 3 、 P B 4 の表示域にそれぞれ表示することによって、動画部と静止画部の駆動周波数を変えることができる。これによって、動画部での駆動周波数を高く(通常60 Hz)、静止画での駆動周波数を低く(例えばマルチフィールド駆動を用いる)できるため、ブロックP B 1 ~ P B 4 毎に消費電力を最適化できる。

【0101】また、本実施例においては、表示面をブロック化すると共に、ブロック毎に信号線およびゲート線を独立にすることもできるため、駆動回路1つあたりの信号線容量および走査線容量を小さくすることができ、大幅に消費電力を低減できる。また、本実施例においては、ゲート線の配線長を従来より短くできるため、ゲートなまりによる書き込み不足などで生じる画質劣化を改善でき、また信号線の配線長を短くできるため、信号線とコモン電極とのカップリングによるコモン電極の立ち上がりなまりによって生じるクロストークについても改善できる。

【0102】図6 2 には前記ゲートなまりの信号波形および、コモン電極の立ち上がりなまりを、従来と本方式についてそれぞれ示したものである。ここでは、コモン電極についても分割することができる。

【0103】(第5実施例) 第5の実施例は、隣接する前記ブロックP B 1 ~ P B 4 間で信号線および走査線を共通とすることができます。第4実施例においては、各ブロックP B 1 ~ P B 4 で信号線および走査線を独立に配設したものを示したが、例えば走査線に関して画素ブロックP B 1 、 P B 2 を共通、画素ブロックP B 3 、 P B 4 を共通とすることによって、走査線に関しては従来のアレイ構成を用いることができる。信号線に関しては、各ブロックP B 1 ~ P B 4 每で分割されているので、配線容量の低減により消費電力を削減できる。また、各画

素ブロックP B 1 ~ P B 4 間で信号線駆動回路6 4 および走査線駆動回路6 5 を共通とすることができます。

【0104】図6 3 に図示のように、液晶セル6 1 の背面中央に信号線駆動回路6 4 および走査線駆動回路6 5 を配置し、前記各IC 6 4 、 6 5 は両側にピンを取り出せる構成とする。これにより、各駆動回路6 4 、 6 5 間の電気特性を表示面に影響されにくくすることができる。従来は図6 4 に図示のように画面分割を行う場合セル6 1 周辺に駆動回路6 4 、 6 5 を設けるため、図6 6 に図示のように、表示画面中央に各駆動回路6 4 、 6 5 の電気特性差により、表示面では輝度差となって表示ムラが生じていた。本実施例においては、各駆動回路6 4 、 6 5 の電気特性差が図6 5 に示したように、パネル周辺に現れると共にパネル中央では同一の駆動回路によって駆動されているため、電気特性差による表示ムラは生じず画質を改善できる。また、画面上下で表示画像が異なり、画像信号によるクロストークによって、従来では画面中央部に表示ムラが生じることが考えられるが、本方式ではクロストークの影響を小さくすることができるため、表示ムラを低減し視覚特性で視認されない領域にすることができる。

【0105】(第6実施例) 第6の実施例は、図6 7 に図示のように、コンタクトホール1 3 2 間の間隔k と信号線1 3 1 もしくは走査線間の間隔d を一致させないように配置することにより、高精細化による各配線間の間隔d が小さくなつた場合においても、コンタクトホール1 3 2 間の間隔k を大きくすることができる例を示す。図6 7 に図示のように、隣接するコンタクトホール1 3 2 を横一列とせず、段違いに設けることによって、コンタクトホール1 3 2 間の間隔を配線間d より大きく取っている。図6 8 は、図5 9 に示した第3実施例のように駆動回路を斜めに配置した場合のコンタクトホール1 3 2 の配置を示す構成図であるが、このようにすることによって、コンタクトホール1 3 2 に接続すべき駆動回路のピン間隔を大きくすることもできる。

【0106】図6 9 は、さらに別の実施例について示したものであるが、駆動回路1 3 3 の両サイドに配線1 3 1 の一本おきにコンタクトホール1 3 2 を設けることによってピン間隔を大きくしている。この場合、隣接する配線1 3 1 上のコンタクトホール1 3 2 間の間隔k と信号線1 3 1 間の間隔d の間の関係は、

$$d \leq k \dots \quad (4)$$

で表される。この場合k は任意に定めることができる。

【0107】(第7実施例) 図7 0 に示す第7の実施例は、液晶セル1 4 0 の背面に、前記信号線駆動回路1 4 1 および前記走査線駆動回路1 4 2 の他に、画像データを制御するコントロール回路(例えば、G A)と、外部入力データを所望の論理手段によって処理する処理回路(例えば、C P U)と、電気的信号変換を行う受動素子および能動素子(例えば、O P)を有し、また情報端末

機器に必要とされる回路 146 を実装する、もしくはそれらの内のいずれかを実装するものである。

【0108】図70には本実施例に係る回路のブロック構成を示したものであるが、図示のように、液晶セル背面に情報端末機器に必要な全ての電気回路を実装した場合には、図71に図示のように、額縁 148 が極めて細いか、ほとんど生じない液晶表示装置 147 を構成することができる。

【0109】(第8実施例) 第8の実施例は、反射面を有する絶縁基板の前面に画素電極を備えたアレイを形成し、前記絶縁基板の背面に信号線駆動回路や前記走査線駆動回路の他に、画像データを制御するコントロール回路(例えば、GA)と、外部入力データを所望の論理手段によって処理する処理回路(例えば、CPU)と、電気的信号変換を行う受動素子および能動素子(例えば、OP)と、表示のみならず、情報端末自体に必要とされる各素子を多結晶シリコン、単結晶シリコンまたはそれに準ずる半導体組成によって形成し、もしくはそれらのうちのいずれかを形成するものである。

【0110】次に、以上の実施例に係る表示装置の製造方法について説明する。図72(A)に図示のように、TFT 151、信号線 152、走査線 153 を形成したガラス基板 154 上に絶縁膜 155 を形成し、これに図72(B)のようにスルーホール 156 を形成して、その中に図72(C)、(D) のように例えば銅メッキ柱 157 を形成し平坦化し、その上に図72(E) のように画素電極 158 を形成し、さらに、透明電極 159 との間に液晶 150 を注入する。

【0111】次にコンタクトホールの形成方法を図73を参照して説明する。このコンタクトホールの形成はすでに図12、図13を参照して説明してあるので簡単に述べる。図73(a)において、ガラス基板 161 を過度の温度勾配による変形を避けるため 400°C くらいに予熱しておき、CO₂ レーザー等を用い回転レンズ装置と組み合わせガラス基板に図73(a)に示す様なコンタクトホール 162、163 をあける。

【0112】つぎに、コンタクトホール 162、163 にメッキ処理およびリソグラフィー技術により銅メッキ柱 164、165 を形成し、その先端に生じた凸部を信号線駆動回路および走査線駆動回路とのコンタクト部とする。

【0113】銅メッキ処理は、コンタクトホール 162、163 とスルーホール 156 への銅メッキ柱 164、165 形成と同時にを行うこともできる。

【0114】第8の実施例に係る液晶表示装置においては、ガラス基板 161 の裏面に各素子を形成するが、画素電極に備わっている TFT を形成する段階と平行して、脱水素処理、レーザーアニール処理等を用いて多結晶シリコンもしくは単結晶シリコンを形成することもできる。

【0115】以上ガラス基板に各 TFT およびコンタクトホールを形成する方法について説明したが、図74に図示のように、TFT 171 を形成したガラス基板 172 と別段に配置した絶縁基板 173 の両方に、コンタクトホール 174、175 を設けて、信号線駆動回路 176 および走査線駆動回路 177 と、その他の各素子 178 を実装しても良い。

【0116】以上説明したようにこの実施の形態によれば、表示面に配列された画素電極に備わっている信号線および走査線と、電圧を印加するための手段である信号線駆動回路および走査線駆動回路は、絶縁基板内に設けたコンタクトホールを介して接続することにより、前記信号線駆動回路および走査線駆動回路による額縁面積の増加を最小、もしくは 0 にすることができる。また、複数個の画素よりなるブロックに分割して駆動することにより、信号線および走査線の長さを適当に変えられるため、従来に比べ信号線および走査線容量を小さくすることができ、消費電力を大幅に減らすことができる。また、動画および静止画を同時に同一表示面に表示する場合において、前記ブロック中のいくつかのブロックでは動画を、他のブロックでは静止画を表示させることによって、動画表示のブロックと静止画表示のブロックとで駆動周波数を変えられるため、表示画像に応じて消費電力を最適化できる。また、隣接するブロック間で、信号線駆動回路および走査線駆動回路を共通とすることができるため、一つの表示面を分割して駆動する場合に、表示画面内に駆動回路の電気特性差による表示ムラやクロストークによる表示ムラなどが生じないように画質を改善することができる。また、極性反転を必要とする場合に、信号線反転、コモン反転、ドット反転の夫々に最適なブロック構成をとることによって、信号線駆動回路および走査線駆動回路の数が増え場合においても、絶縁基板背面に実装することができるため、モジュールサイズを大きくせずに信号線および走査線の配線方法を種々変えて構成できる。また、高精細化により隣接する信号線もしくは隣接する走査線間の間隔が小さくなつた場合において、コンタクトホール間の間隔を大きくとれるため、コンタクトホールを必要、十分に形成し得るし、信号線駆動回路および走査線駆動回路のピン間隔が制限される場合においても、駆動回路のピン構成に応じてコンタクトホールの配置を変えることができる。また、絶縁基板の背面に、信号線駆動回路や前記走査線駆動回路の他に、画像データを制御するコントロール回路、外部入力データを所望の論理手段によって処理する処理回路、電気的信号変換を行う受動素子および能動素子、表示のみならず情報端末自体に必要となるその他の各素子を実装することができるため、モジュールサイズをパネルサイズとほぼ等しくし、全てが表示面となる紙のような情報端末機器を構成できる。また、絶縁基板の背面に、信号線駆動回路や前記走査線駆動回路の他

に、画像データを制御するコントロール回路、外部入力データを所望の論理手段によって処理する処理回路、電気的信号変換を行う受動素子および能動素子、表示のみならず情報端末自体に必要となるその他の各素子を多結晶シリコン、単結晶シリコンまたはそれに準ずる半導体組成によって形成することができるため、画素電極が配設されている表示面と前記各素子を配設する背面を持つ、一枚もしくは複数枚の絶縁基板を構成でき、外付けの各素子の数を最小とするとともに、表示面と背面を同一のプロセスによって形成し、製造プロセスの簡略化が行える。また、以上の実施例および効果については、情報端末機としての液晶表示装置を例にとっているが、例えば大型表示装置（大型テレビや広告表示板など）等を構成する場合に、複数の液晶セルをつなぎ合わせ、隣接する液晶セル間では背面実装された各駆動装置、および表示に係る各素子を設けることによって実施することができる。この場合においても、前記実施例同様、低消費電力化、画質の改善、製造プロセスの簡略化等が実現できる。

【0117】ここで、液晶パネルの内部で消費される電力を考えてみる。図89に画素電極毎に表示信号の書き込みと保持とを制御する手段（以下アクティブ素子とする）としてTFT素子を有する液晶表示装置の従来の構成図を示す。図89の構成では、表示信号が表示コントローラ201に供給され、この表示信号に応じてLCDパネル205の信号線は上下のXドライバ（XU）202、（XD）203により駆動され、走査線はYドライバ204により駆動される。

【0118】また図90にTFT素子205Tおよび液晶素子205Lを有する液晶表示装置の液晶パネル（以下パネルと略称する）205の内部構成の従来図を示す。

$$C_{sig} = C_{pix} \times (1/2) \times (1/2) \times 640 \dots (6)$$

$$= 160 \times C_{pix}$$

となり、信号線容量 C_{sig} は一つの画素の静電容量の約160倍となる。従って、表示信号を供給する信号線駆動回路202は、パネル205のある一行に配列されている1画素に表示信号の書き込みを行なう際に、その画素の接続されている信号線と1画素の容量負荷である $C_{LCD} = C_{pix} + C_{sig} \dots (7)$ の容量を充放電しなくてはならない。ここで、式（6）より

$$C_{sig} > C_{pix} \dots (8)$$

$$PLCD = CLCD \times fs \times (Vs) 2$$

$$\approx C_{sig} \times fs \times (Vs) 2 \dots (10)$$

で表される。つまり、パネルで消費される電力は1画素の静電容量により消費される電力よりは、信号線の容量負荷により消費される電力がはるかに大きいが、パネル内部に配線されている信号線では表示を行なっているわけではなく、表示を行なっているのは画素電極であるか

【0119】また、図91に液晶パネル205を駆動するたとえば上側信号線（X）ドライバ回路202の従来例を示す。

【0120】一般的に、ディスプレイとして用いられている液晶装置は、電気回路的には容量性負荷として表される。図89及び90図に示される液晶表示装置のパネル205で消費される電力は、パネル205内部に充填された液晶205Lを充電、または放電するために使用される。つまり、パネル205内部の液晶205Lを動作させるためには、パネル205内部の画素電極に電荷を充電して画素の電位を上昇させるか、または反対に画素電極から電荷を放電させて画素の電位を零にするか、または、充放電の組み合わせで画素の電位を所望の電位に設定して所望の（中間状態の）表示特性を得るために電力が消費される。

【0121】ここで、パネル205内部に充填された液晶を充放電する電力を考えてみると、その電力は殆どパネル205内部に配線された信号線上に存在する液晶205Lを充放電する電力である。以下に、その説明を行なう。一つの画素電極の静電容量を C_{pix} 、液晶の誘電率を ϵ_{LC} 、対向電極との距離を d 、電極の面積を s とすると、一つの画素の静電容量は

$$C_{pix} = \epsilon_{LC} \times (1/d) \times s \dots (5)$$

で表される。ここでパネル205の開口率、つまりパネル205内部での画素電極と配線領域との比率を考えると、通常のTFT-LCD構造では開口率は50%以上となるが、簡単化のために開口率を50%と仮定して、かつ配線領域の1/2を信号線配線が占ると考えると、VGA（Video Graphics Array：水平方向640画素×垂直方向480画素）程度の解像度を持つパネルでは、そのパネル内部の信号線容量 C_{sig} は、

であるので、

$$CLCD \approx C_{sig} \dots (9)$$

であると言える。従って、信号線駆動回路202、203の負荷は殆どが垂直方向の信号線の配線の長さと面積に依存しており、パネル205内部で消費される電力は信号線上に存在する液晶205Lを充放電する電力である。そのパネル内部で消費される電力 $PLCD$ は、液晶の駆動電圧を V_s 、信号線駆動周波数を f_s とすると、

ら、信号線上に存在する液晶の静電容量により消費される電力は表示画像には全く寄与していない。つまり、従来のTFT-LCD構造では、信号線上に存在する液晶の静電容量により無駄な電力を消費するという第1の問題があった。

【0122】また、図92に液晶表示装置の従来の駆動方式を表すタイミングチャートを、図93、94にそのときのパネル内の電圧波形を示す。図92に示す従来の駆動方式のなかのOE(XU)、OE(XD)は図89および図90に示す液晶表示装置の従来の構成図の上側(XU)と下側(XD)の表示信号駆動回路(信号線ドライバー202、203)の出力を制御する信号であり、OE(XU)、OE(XD)が“H”レベルである時に表示信号をパネル205内部に出力を行なう。図92に示すように、1フレーム周期T_Fの間表示信号をパネル205内部に出力し続けた場合は、フレーム周期の最後で画素に書き込まれた表示信号はフレーム周期の最初に画素に書き込まれた表示信号に比べて画素が変動し易い。図93、94のパネル内部の電圧波形は、1フレームがnラインで構成される表示信号の例であり、図93(a)はフレームの最初で画素に表示信号の書き込みを行なう際の駆動波形、図94(a)はフレームの最後のnライン目で画素に表示信号の書き込みを行なう際の駆動波形を示しており、実線で示してあるSgは TFT素子のゲートを駆動するゲート信号波形であり、Vsigcは表示信号の中心電位であり、Vsigcを中心として点線で示してある+Vsigは正極性の表示信号、-Vsigは負極性の表示信号である。図93(b)、94(b)は、それぞれ図93(a)、94(a)で書き込みを行なった画素の画素電位を示している。図93(c)、94(c)は、パネル内部に印加される表示信号と画素電位、図93(b)、94(b)との差の電圧を示している。つまり、図93(c)、94(c)はTFT素子が画素の電位を保持している際にTFT素子のソース・ドレイン間に印加される電圧(Vds)である。したがって、ゲートが保持状態の時でも、電圧Vdsが大きくなった場合にはTFT素子のチャネルに流れる電流が増加するため、画素に保持される電位も変動してしまうが、図93(c)と94(c)に示すように1フレームの最初と最後では、1フレームの最後に書き込んだ画素のTFT素子に印加される電圧Vdsの方が最初に書き込んだ画素のTFT素子に印加される電圧よりも大きく時間が長い。つまり、1フレームの最後で書き込んだ画素の電位が変動し易く、表示が劣化し易いことがわかる。よって、従来の液晶表示装置では、保持期間が長い場合にTFT素子のソース・ドレイン間に印加される電圧の大きさにより、画素と信号線間のクロストークが発生して、液晶表示装置に表示されている表示信号が劣化してしまうという第2の問題があった。

【0123】また、パネルで消費される電力の大きさとともに、駆動回路の面積が大きくなり、結果として液晶表示装置を組み込んだ機器の大型化を招く、という問題があった。この問題は、表示信号や走査信号をパネル205に供給する信号線駆動回路202、203や走査信号駆動回路204をパネル205と同じ高さに配置する

ことに起因している。図95に従来構造のパネルと信号線、走査線駆動回路の実装方法を示す。図95に示すように、信号線、走査線駆動回路202、203、204はTAB(Tape Automated Bonding)テープ207を介してパネル205に水平に接続されるため、液晶表示装置の外形はパネル205の面積よりも必ず大型となるためである。つまり、駆動回路202…をパネル205と同じ高さに配置することにより液晶表示装置を大型化させてしまう、という問題があつた。

【0124】以下に説明する実施の形態はこの様な点に鑑みてなされたもので、パネルでの消費電力を低下させるためには、パネル内部の信号線を分割、つまり信号線の静電容量を分割し、各々分割した信号線を独立した信号線ドライバーで駆動するように配置したものである。また、液晶表示装置の信号線自体により消費される電力を低減するため、対向電極と信号線スイッチング素子との配置距離を置き、それらの静電容量を低下させるため、液晶層と画素電極からなる基板の裏面に信号線あるいは信号線駆動回路あるいは双方を配置する。さらに、表示信号が変化した画素領域を個別に駆動して画素電極および信号線の駆動回数を減らして、等価的に駆動周波数を低下させて消費電力を低下させ、高品質で低消費電力で小型、軽量の液晶表示装置を提供するものである。

【0125】この実施の形態では、マトリックス状に配置された画素電極と、その画素電極毎に表示信号の書き込みと保持とを制御する手段と、該書き込みと保持とを制御する手段を有する画素電極に表示信号を供給する手段とを有し、液晶表示装置に印加される表示信号が休止状態である時、または信号線の各々に接続されている信号線駆動回路の少なくとも一つの駆動回路が駆動状態にあるときは、それ以外の信号線と信号線に接続されている駆動回路とを電気的に開回路状態にする手段、または、信号線の電位を任意の電位に固定する手段を有することを特徴とする。液晶表示装置に印加される表示信号が休止状態である時、または信号線の各々に接続されている信号線駆動回路の少なくとも一つの駆動回路が駆動状態にあるときは、それ以外の信号線と信号線に接続されている駆動回路とを電気的に開回路状態にする手段、または、信号線の電位を任意の電位に固定する手段を有しており、液晶表示装置の画素電極に表示信号を書き込む際には、その画素電極とその画素電極が接続されている信号線駆動回路のみを動作させることができるとなるため、液晶パネル内部の表示信号の書き込みに関係していない信号線に電気的に接続されている容量性の負荷を充放電する必要がなくなり、液晶パネル内部で消費される電力を削減することが可能となる。特に、このような液晶パネル内部の信号線に電気的に接続されている容量性の負荷を充放電するための消費電力の削減量は、大型パネルの液晶表示装置の方が多い。つまり、大型液晶

表示装置を低消費電力で実現可能となる。

【0126】また、表示信号を書き込む際にその画素電極と画素電極が接続されている信号線駆動回路のみを動作させることにより、画素電極と信号線の間に接続されているアクティブ素子が保持状態にある時に、そのアクティブ素子と画素電極間に印加される電圧差と電圧の変動を小さく抑えることが可能となり、アクティブ素子のリーク電流を小さく抑えられるため画素と信号線間のクロストークの少ない高画質な液晶表示装置が実現できる。

【0127】さらに、駆動回路を裏面に配置することにより、信号線にかかる容量負荷を低減することが可能となり、更に低消費電力の液晶表示装置が実現化可能となるとともに、駆動回路をパネルの額縁に配置する必要が無くなるため小型の液晶表示装置が実現できる。

【0128】以下に本実施の形態を詳細に説明する。図77に本実施の形態にかかる液晶表示装置の液晶パネルのブロック図を示す。同図に示すように、液晶パネル215内の信号線はパネル215の列方向の中央で一点鎖線で切断されており、同図に示す液晶表示装置では、上側信号線ドライバー(XUドライバー)212がパネル215の上半分の信号線に、下側信号線ドライバー(XDドライバー)213がパネル215の下半分の信号線に接続されている。また、XU、XDドライバー212、213ともその出力を高インピーダンス(Hi-Z)状態に制御する機能を有することが従来の信号線ドライバーと異なっている点であり、その他の機能は従来と同じである。

$$P_{sig} = R_s \times C_{sig} \times f_s \times (V_s)^2 \dots \dots \quad (11)$$

また、パネル 215 で消費される電力 PLCD は式 (1)

$$PLCD \equiv R_s \times C_s \text{ i g} \times f_s \times (V_s) \quad 2 \dots \dots \quad (12)$$

で表される。式(11)、(12)における R_s は従来の液晶パネルの信号線面積と本実施の形態の液晶パネルの信号線面積との比である。従って、図77に示す実施

R s = 1 / 2

となる。したがって、

$$PLCD \doteq 1/2 \times C_s \times g \times f_s \times (V_s) \quad \dots$$

となる。従って、従来の液晶パネルで消費される電力に比べ、本実施の形態によれば約1/2に低減される。

【0131】また、図77に示す液晶パネルを図78に示すような駆動を行った場合のパネル内の電圧波形を図80、81に示す。図80(a)はフレームの最初で画素に表示信号の書き込みを行なう際の駆動波形、図81(a)はフレームの最後のnライン目で画素に表示信号の書き込みを行なう際の駆動波形を示しており、実線で示してある S_g はTFTのゲートを駆動するゲート信号

【0129】図78に図77に示す液晶パネルとXドライバー212、213とを駆動するタイミングチャートを示す。同図のタイミングチャートで、 T_F は1画面(1フレーム)の周期を示しており、その周期 T_F の前半ではXUドライバー212がパネル215に配線されている信号線に表示信号を出力し、 T_F の後半ではXDドライバー213がパネル215に配線されている信号線に表示信号を出力している。また、XU212、XD213とも表示信号を出力していない時間はHi-Z状態となる。

【0130】図79に図77に示す液晶パネル215を駆動するためのXドライバー212、213のブロック図を示す。図79に示すXドライバー212、213は、信号出力回路にパネル215へ出力する信号をオフ状態にするためのスイッチ回路224を有している以外は、従来のXドライバーと同様に、シフトレジスタ(SR)221、D/Aコンバータ222、出力バッファ223を有している。また、スイッチ回路224は通常のICプロセスで作成できるMOSスイッチ、またはC-MOSスイッチで実現可能であり、何ら特別な回路実現方法を必要としない。ここで、図78に示す駆動を行った場合にパネル215内部で消費される電力を説明する。パネル215内部の画素215Lは、行方向の1行(1ライン)づつ信号線駆動周波数 f_s で駆動され、画素を駆動するための信号電圧を V_s 、信号線の容量 C_{sig} とすると、パネル215の信号線で消費される電力 P_{sig} は、

$$\propto (V_s)^2 \dots (11)$$

0) より、

$\times (V_s) \ 2 \cdots \cdot (1\ 2)$

例では、XUまたは、XD ドライバー 212、213に接続されている信号線の面積はパネルの $1/2$ であるため、

• • • • • • • • • (13)

波形であり、 V_{sigc} は表示信号の中心電位であり、 V_{sigc} を中心として点線で示してある $+V_{sig}$ は正極性の表示信号、 $-V_{sig}$ は負極性の表示信号である。点線で示してある表示信号波形のなかで“H i - Z”と示している部分は、図79に示すXドライバーICの出力信号がOF F状態(H i - Z状態)であることを表している。図80(b)、図81(b)は、それぞれ図80(a)、図81(a)で書き込みを行なった画素の画素電位を示している。図80(c)、図81(c)は、パネル内部に印加される表示信号と画素電位、図80(b)、図81(b)との差の電圧を示している。つまり、図80(c)、図81(c)はTFTが画素の電位を保持している際にTFTのソース・ドレイン間に印加される電圧(V_{ds})である。図80、81に示す駆動波形から分かるように、図9.3～9.4に示す

従来の駆動波形に比べ、X ドライバー 212、213 の出力信号が H i-Z 状態になっている場合には、TFT のソース・ドレン間に印加される電圧 (Vds) が小さくなっていることが分かる。また、H i-Z 状態の時には、信号線に印加されている電圧の変化が無いわけであるから、画素と信号線との間の寄生容量によるカップリング (信号線の電圧変動分の画素電極への飛び込み) の影響が無くなる。従って、本実施の形態によれば、TFT の電圧 Vds が従来よりも小さくなり TFT のリード電流が減少し、画素に書き込まれている信号電圧の変化が小さく抑えられる。また、画素と信号線との間の寄生容量によるカップリングの影響が無くなり、画素に書き込まれている信号電圧の変化が小さく抑えられる。つまり、画素の電圧の変化が小さくなるため、従来よりも高画質が実現できる。

【0132】次に、図82にこの実施の形態の第2の実施例にかかる液晶表示装置の液晶パネルのブロック図を示す。同図の実施例に示すパネルでも第1の実施例の場合と同様に信号線が一点鎖線で示すパネルの中央で 1/2 に分割されている。第1の実施例と異なる点は、アクティブ素子として 2 端子非線形素子 215D を用いていることである。その他の部分は図77の実施例と同じであり、説明は省略する。図83に 2 端子非線形素子 215D と液晶 215L とで構成された画素電極部分の等価回路を示す。2 端子非線形素子 215D を用いた画素では、X ドライバー 212、または 213 と Y ドライバー 214 から与えられる電圧差を、2 端子非線形素子 215D の容量と画素 215L の液晶容量とで分圧して液晶を駆動している。従って、画素電極に表示信号 Vs ± Vc を書き込んだ後は非線形素子 215D が ON しないように、表示信号 Vc と走査信号 Vs の電位差を小さくして、かつ非線形素子 215D の容量 CD によるカップリングによって画素電位が変動しないようになるべく一定電圧に保つ必要がある。図84に図82の液晶パネル 215 を駆動するための X ドライバー IC のブロック図を示す。図84に示す X ドライバー IC は、出力部に通常の表示信号出力と一定電圧 (VOFF) を切り換えて出力するための切り換えスイッチ回路 224 を有する以外は、通常の X ドライバーと同じ構成である。

【0133】次に、図85に図82の液晶パネル 215 を図84の X ドライバー 212、213 で駆動を行う場合の駆動タイミングチャートを示す。図85に示すタイミングチャートでは、パネル 215 上部の信号線に接続されている XU ドライバー 212 は 1 フレーム周期 Tf の前半の 1/2 周期だけパネル 215 内部に表示信号を出力し、後半の 1/2 周期の時間は非線形素子 215D が ON しないように、表示信号 VC と走査信号 VS との電位差が小さくなるような一定電圧 VOFF を出力する。パネル下部の信号線に接続されている XD ドライバー 213 は 1 フレーム周期 Tf の後半の 1/2 周期だけ

パネル内部に表示信号を出力し、前半の 1/2 周期の時間は非線形素子 215D が ON しないように、表示信号 VC と走査信号 VS との電位差が小さくなるような一定電圧 VOFF を出力する。

【0134】図86、87に図82に示した液晶パネル 215 を図85のタイミングで動作させた場合のパネル 215 内部の各電圧波形を示す。図86(a) はフレームの最初で画素に表示信号の書き込みを行なう際の走査信号波形、図87(a) はフレームの最後の n ライン目で画素に表示信号の書き込みを行なう際の走査信号波形、図86(b) は XU ドライバー 212 の出力信号波形、図87(b) は XD ドライバー 213 の出力信号波形である。図86(c) は図86(a)、86(b) により画素に印加される電圧波形、図87(c) は図87(a)、(b) により画素に印加される電圧波形を示している。図86、87 から分かるように、X ドライバー IC 出力が一定電圧 (VOFF) になっている場合には、表示信号 Vc と走査信号 Vs の電位差をが小さくなっています。また、X ドライバー IC 出力が一定電圧 (VOFF) を出力している場合には、信号線電圧の交流成分が少ないため、図83の非線形素子 215D の容量 CD による信号線画素電極間のカップリングによる画素電位の変動を低下させることが可能であることが分かる。また、X ドライバーが 1 ラインの書き込み時間 (TW) で駆動する信号線の容量負荷は、信号線を分割しない通常の液晶パネルの 1/2 であるから、当然、通常の液晶パネルの信号線を駆動する場合より消費電力が 1/2 に低下する。従って、本実施の形態によれば、低消費電力で高画質な液晶表示装置が実現可能となる。

【0135】図88に表示画像の書き換えを、画面の上部だけ行う場合の X ドライバー出力を制御するタイミングチャートを示す。図88のような画面の部分書き換えは、表示画面の一部分のみに動きが生じている場合の低消費電力化に有効な方法である。また、液晶にメモリー性が有る場合には、XU、XD ドライバー 212、213 ともに出力を Hi-Z とすることにより、さらに低消費電力化が可能となる。また、メモリー性が無い液晶を駆動する場合でも、動きの有る表示部分の書き込みを通常のフレーム周期で行い、静止画像のみの表示部分の書き込みを通常の 1/2 または、それ以下の周期に低下させることにより、メモリー性の無い液晶を駆動する場合でも低消費電力化が可能となる。また、これらの表示信号の出力の通常出力、Hi-Z 出力の切り換えは、ライン毎に、画素毎に行うことにより更に効率的な低消費電力化が可能となる。

【0136】また、更なる低消費電力化をパネルの容量性負荷を低減することにより実現できる。そのパネル容量の削減にはアクティブ素子を液晶パネルの裏面側に

配置し、従来パネル内部に配線していた信号線の配線も裏面に配線する方法が有効である。また、パネルの裏面にドライバー I C も配置することにより、ドライバー I C をパネルの額縁に配置する必要が無くなるため液晶表示装置の小型化も可能となる。

【0137】以上のように本実施の形態によれば、パネル内部の信号線を分割、つまり信号線の静電容量を分割し、各々分割した信号線を独立した信号線ドライバーで駆動することにより、液晶表示装置に印加される表示信号が休止状態である時、または信号線の各々に接続されている信号線駆動回路の少なくとも一つの駆動回路が駆動状態にあるときは、それ以外の信号線と信号線に接続されている駆動回路とを電気的に開回路状態に、または、信号線の電位を任意の電位に固定することが可能となり、液晶表示装置の画素電極に表示信号を書き込む際には、その画素電極とその画素電極が接続されている信号線駆動回路のみを動作させることが可能となるため、液晶パネル内部の表示信号の書き込みに関係していない信号線に電気的に接続されている容量性の負荷を充放電する必要がなくなり、液晶パネル内部で消費される電力を削減することが可能となる。特に、このような液晶パネル内部の信号線に電気的に接続されている容量性の負荷を充放電するための消費電力の削減量は、大型パネルの液晶表示装置の方が多い。つまり、大型液晶表示装置を低消費電力で駆動可能となる。また、表示信号を書き込む際にその画素電極と画素電極が接続されている信号線駆動回路のみを動作させることにより、画素電極と信号線の間に接続されているアクティブ素子が保持状態にある時に、そのアクティブ素子と画素電極間に印加される電圧差と電圧の変動を小さく抑えることが可能となり、アクティブ素子のリーク電流を小さく抑えられるため画素と信号線間のクロストークの少ない高画質な液晶表示装置が実現できる。さらに、駆動回路を裏面に配置することにより、信号線にかかる容量負荷を低減することが可能となり、更に低消費電力の液晶表示装置が実現化可能となるとともに、駆動回路をパネルの額縁に配置する必要が無くなるため液晶表示装置の小型化が可能となる。

【0138】

【発明の効果】以上詳述したようにこの発明によれば、信号線とゲート線とアクティブ素子のうち少なくとも一つを容量性負荷が設けられる側と反対側の基板面に配置する構成としたので、アクティブ素子を駆動する際に各々の電極間の結合容量のために生じる充電、放電による電流を抑制することができ、高画質、低消費電力を実現した表示装置を提供することができる。

【図面の簡単な説明】

【図1】この発明の第1の実施の形態の液晶表示装置の一部の断面図

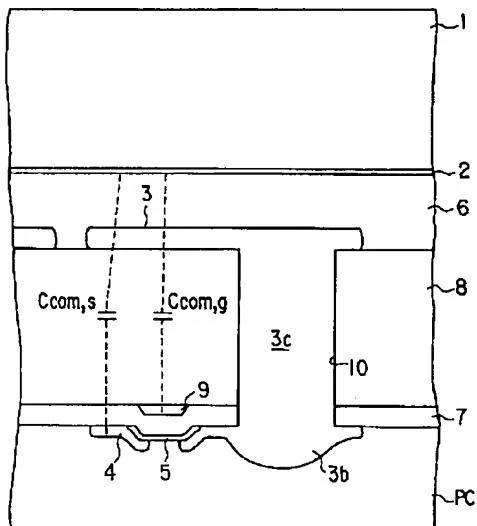
【図2】図1の装置の製造工程を示す図

- 【図3】図1の装置の製造工程を示す図
- 【図4】図1の装置の製造工程を示す図
- 【図5】図1の装置の製造工程を示す図
- 【図6】図1の装置の製造工程を示す図
- 【図7】図1の装置の製造工程を示す図
- 【図8】図1の装置の製造工程を示す図
- 【図9】図1の装置の製造工程を示す図
- 【図10】図1の装置の製造工程を示す図
- 【図11】図1の装置の製造工程を示す図
- 【図12】図1の装置の製造工程を示す図
- 【図13】図1の装置の製造工程を示す図
- 【図14】図1の装置の製造工程を示す図
- 【図15】図1の装置の製造工程を示す図
- 【図16】図1の装置の製造工程を示す図
- 【図17】図1の装置の製造工程を示す図
- 【図18】図1の装置の製造工程を示す図
- 【図19】図1の装置の上面図
- 【図20】図1の装置の下面図
- 【図21】この発明の他の実施の形態の液晶表示装置の断面図
- 【図22】この発明の更に他の実施の形態の液晶表示装置の断面図
- 【図23】図22の装置の製造工程を示す図
- 【図24】図22の装置の製造工程を示す図
- 【図25】図22の装置の製造工程を示す図
- 【図26】図22の装置の製造工程を示す図
- 【図27】図22の装置の製造工程を示す図
- 【図28】図22の装置の製造工程を示す図
- 【図29】図22の装置の製造工程を示す図
- 【図30】図22の装置の製造工程を示す図
- 【図31】図22の装置の製造工程を示す図
- 【図32】図22の装置の製造工程を示す図
- 【図33】図22の装置の製造工程を示す図
- 【図34】図22の装置の製造工程を示す図
- 【図35】図22の装置の製造工程を示す図
- 【図36】図22の装置の製造工程を示す図
- 【図37】図22の装置の製造工程を示す図
- 【図38】図22の装置の製造工程を示す図
- 【図39】この発明の更に他の実施の形態の液晶表示装置の断面図
- 【図40】図39に示した装置の上面図
- 【図41】図39に示した装置の下面図
- 【図42】この発明の更に他の実施の形態の液晶表示装置の上面図
- 【図43】図42の実施の形態の液晶表示装置の下面図
- 【図44】この発明の更に他の実施の形態の液晶表示装置の上面図
- 【図45】図44の実施の形態の液晶表示装置の下面図
- 【図46】従来の液晶表示装置の側面図
- 【図47】この発明の液晶表示装置の側面図

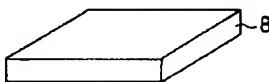
- 【図 4 8】図 3 9 に示したこの発明の液晶表示装置の部分を示す平面図
- 【図 4 9】この発明の更に他の実施の形態の液晶表示装置の上面図
- 【図 5 0】図 4 9 の装置の下面図
- 【図 5 1】この発明の更に他の実施の形態の液晶表示装置の断面図
- 【図 5 2】図 5 1 の実施例の変形例を示す断面図
- 【図 5 3】図 5 1 の実施例の更に他の変形例を示す断面図
- 【図 5 4】図 5 1 の実施例の更に他の変形例を示す断面図
- 【図 5 5】図 5 1 の実施例の表示装置の等価回路図
- 【図 5 6】図 5 1 の実施例の表示装置の上面図
- 【図 5 7】図 5 1 の実施例の表示装置の下面図
- 【図 5 8】図 5 1 の実施例の表示装置の駆動回路とスルーホールの配置の一例図
- 【図 5 9】図 5 1 の実施例の表示装置の駆動回路とスルーホールの配置の他の例図
- 【図 6 0】この発明の更に他の実施の形態の液晶表示装置の画面分割の一例図
- 【図 6 1】図 6 0 の例における駆動回路の配置図
- 【図 6 2】図 6 0 の例における駆動回路の出力波形を従来例と比較して示す図
- 【図 6 3】図 6 0 の配置の変形例を示す図
- 【図 6 4】従来のパネルと駆動回路との配置関係を示す図
- 【図 6 5】図 6 0 の例における駆動回路による表示画面の状態を示す図
- 【図 6 6】従来の例における駆動回路による表示画面の状態を示す図
- 【図 6 7】この発明の更に他の実施の形態の液晶表示装置の配線とスルーホールとの関係を示す図
- 【図 6 8】この発明の更に他の実施の形態の液晶表示装置の配線とスルーホールとの関係を示す図
- 【図 6 9】この発明の更に他の実施の形態の液晶表示装置の配線とスルーホールとの関係を示す図
- 【図 7 0】この発明の更に他の実施の形態の液晶表示装置の各種駆動回路の配置図
- 【図 7 1】図 7 0 の装置の額縁の状態を示す図
- 【図 7 2】この発明の更に他の実施の形態の液晶表示装置の製造工程を示す図
- 【図 7 3】この発明の更に他の実施の形態の液晶表示装置の製造工程を示す図
- 【図 7 4】この発明の更に他の実施の形態の液晶表示装置の構成を示す図
- 【図 7 5】この発明の更に他の実施の形態の液晶表示装置の画面と駆動回路との配置関係を示す図
- 【図 7 6】図 7 5 に示す装置の側面図
- 【図 7 7】本発明の更に他の実施の形態にかかる液晶パネルのブロック図
- 【図 7 8】図 7 7 に示した液晶パネルの駆動タイミングチャート
- 【図 7 9】図 7 7 に示した信号線 ドライバーの構成を示すブロック図
- 【図 8 0】図 7 7 に示したパネル内部の電圧波形を示す図
- 【図 8 1】図 7 7 に示したパネル内部の電圧波形を示す図
- 【図 8 2】本発明の他の実施の形態にかかる液晶パネルのブロック図
- 【図 8 3】図 8 2 に示したパネルの画素部分の等価回路図
- 【図 8 4】本発明にかかる信号線 ドライバーのブロック図
- 【図 8 5】本発明にかかる液晶パネルの駆動タイミングチャート
- 【図 8 6】本発明にかかるパネル内部の電圧波形を示す図
- 【図 8 7】本発明にかかるパネル内部の電圧波形を示す図
- 【図 8 8】本発明の更に他の実施の形態にかかる液晶パネルの駆動タイミングチャート
- 【図 8 9】従来の液晶表示装置の構成を示すブロック図
- 【図 9 0】従来の液晶パネルの構成を示すブロック図
- 【図 9 1】従来の信号線 ドライバーのブロック図
- 【図 9 2】従来の液晶パネルの駆動タイミングチャート
- 【図 9 3】従来のパネル内部の電圧波形を示す図
- 【図 9 4】従来のパネル内部の電圧波形を示す図
- 【図 9 5】従来のパネルの構造を説明するための図
- 【図 9 6】従来の液晶表示装置の構造を説明するための断面図。
- 【符号の説明】
- 1 … ガラス基板
 - 2 … 対向電極
 - 3 … 画素電極
 - 3 x … 引き出し線
 - 4 … 信号線
 - 5 … a – S i
 - 6 … 液晶層
 - 7 … シリコン酸化膜
 - 8 … ガラス基板
 - 9 … ゲート線
 - 10 … スルーホール
 - 13 … レジスト
 - 15 … アレイ基板
 - 16 … T F T 素子
 - 17 a, 20 … C s 電極
 - 22 … 接続パッド
 - 24 a, 24 b … I C

- 201 . . . 液晶表示装置の表示コントローラー
 202 . . . 上側信号線ドライバー
 203 . . . 下側信号線ドライバー
 204 . . . 走査線ドライバー
 221 . . . デジタルの表示信号をシフトするシフトレジスター
 222 . . . デジタル信号をアナログ信号に変換するD/Aコンバーター
 223 . . . 表示信号を信号線に出力する出力バッファ
- 224 . . . 出力信号のON/OFFを切り換える切り替えスイッチ
 222A . . . デジタル信号を液晶表示電圧に変換するレベルシフト回路
 207 . . . 信号線駆動回路を封止したTABパッケージ
 205 . . . アクティブ素子が作成されたガラス基板

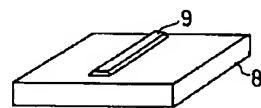
【図1】



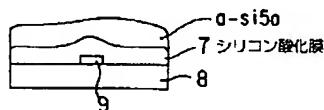
【図2】



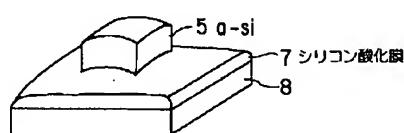
【図4】



【図6】

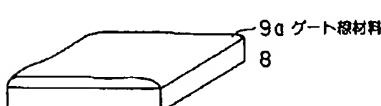


【図7】

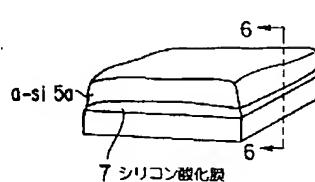


【図3】

【図5】

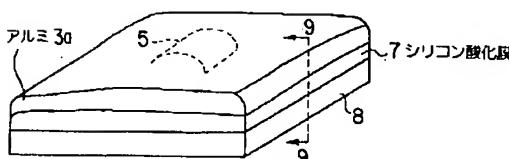
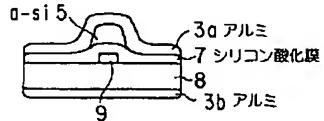


【図8】

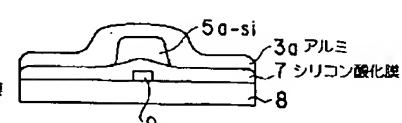


【図9】

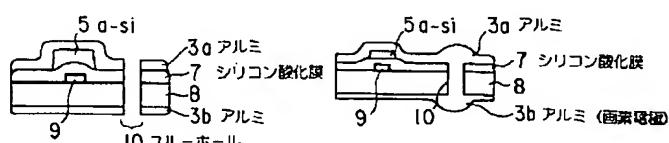
【図11】



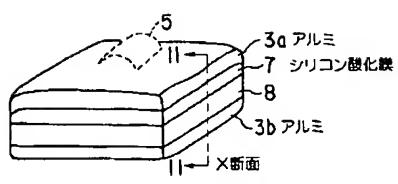
【図13】



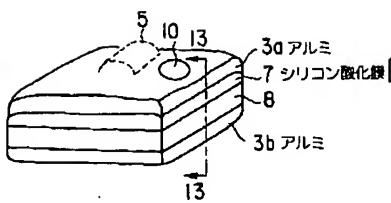
【図15】



【図 10】



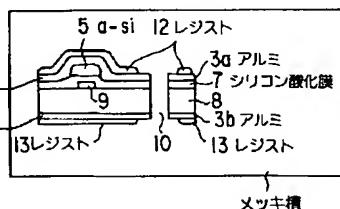
【図 12】



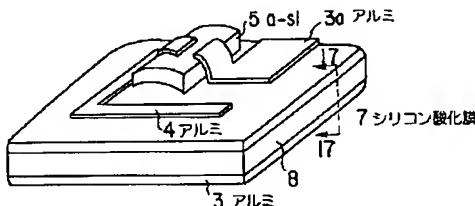
【図 23】



【図 14】



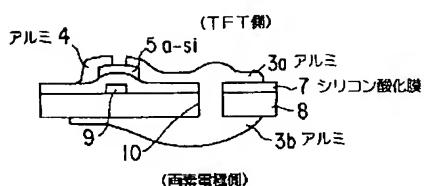
【図 16】



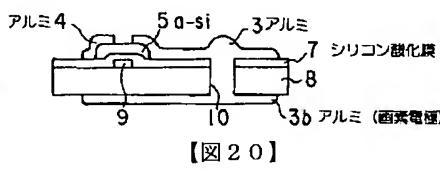
【図 17】

【図 18】

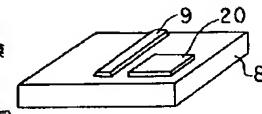
【図 25】



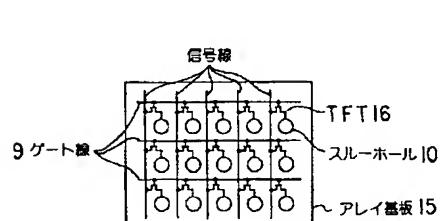
【図 19】



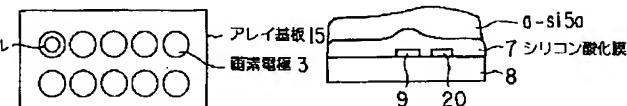
【図 20】



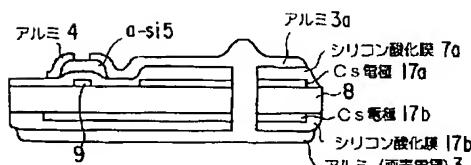
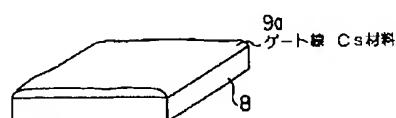
【図 27】



【図 21】

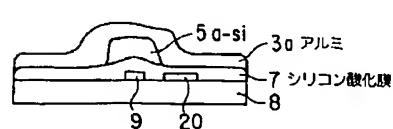
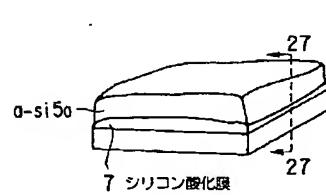


【図 24】

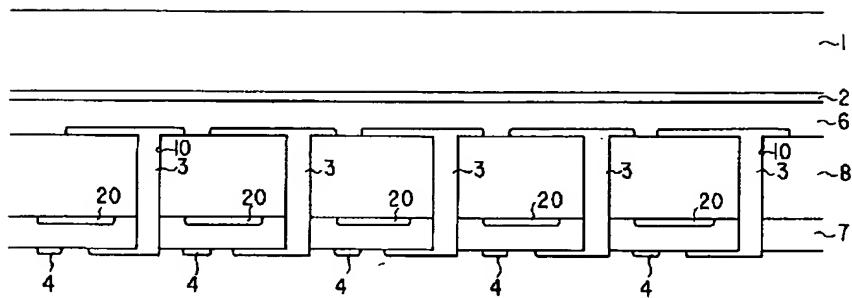


【図 26】

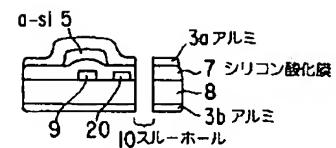
【図 32】



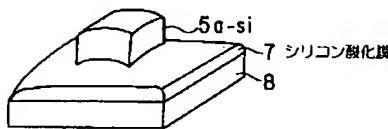
【図22】



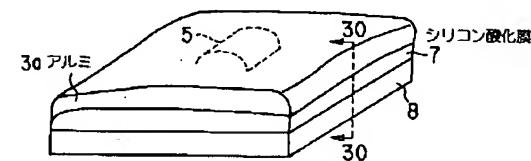
【図34】



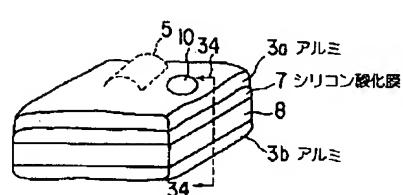
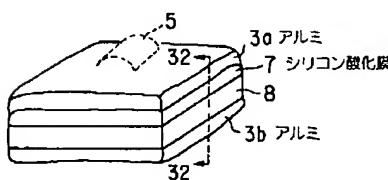
【図28】



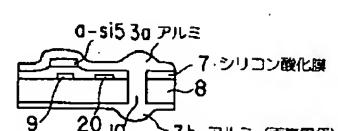
【図29】



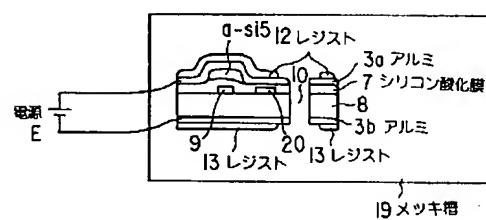
【図31】



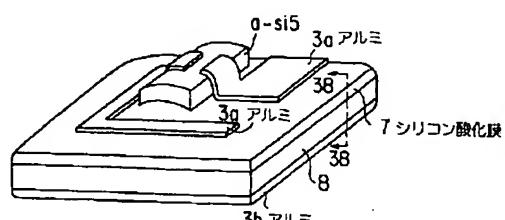
【図35】



【図37】

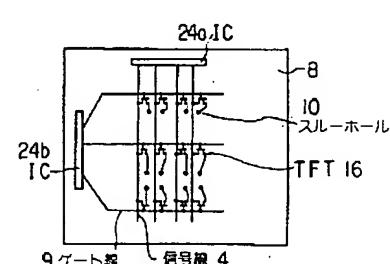
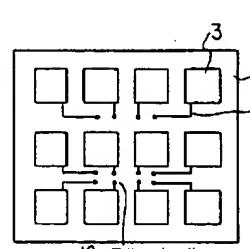
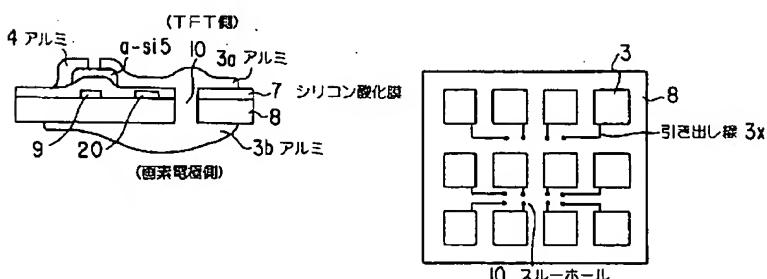


【図38】

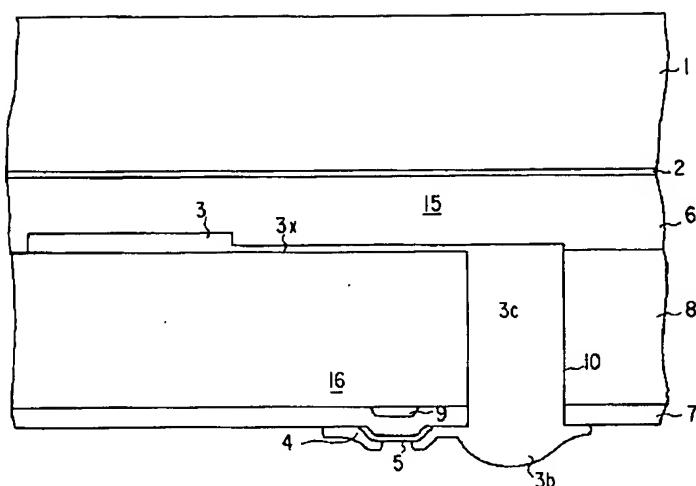


【図44】

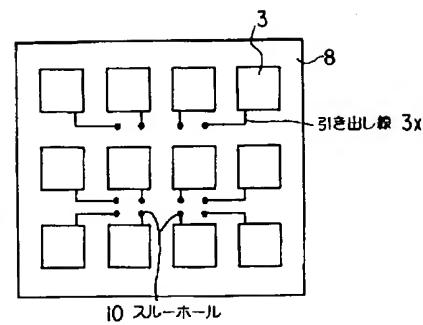
【図45】



【図 3 9】

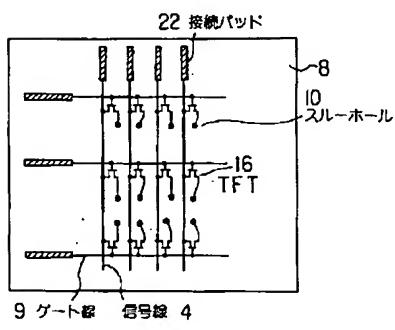


【図 4 0】

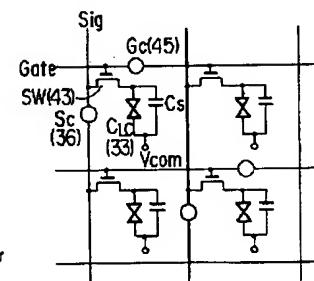
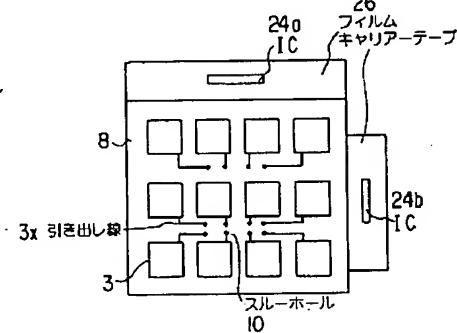


【図 5 5】

【図 4 1】

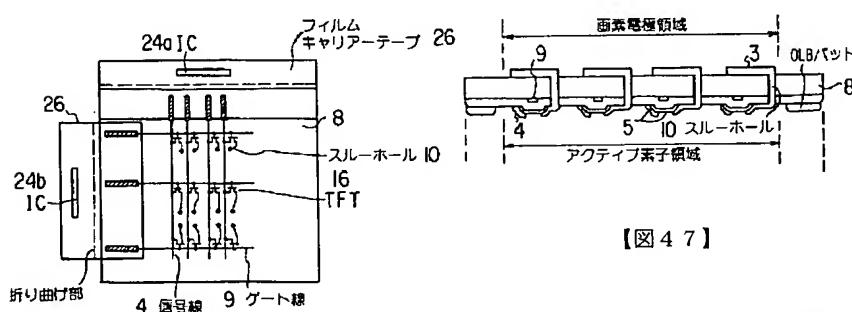


【図 4 2】

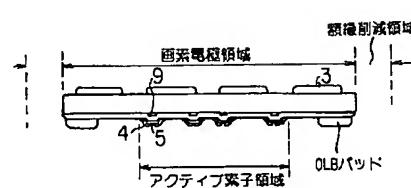


【図 4 3】

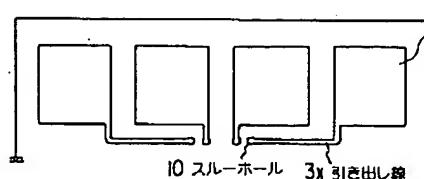
【図 4 6】



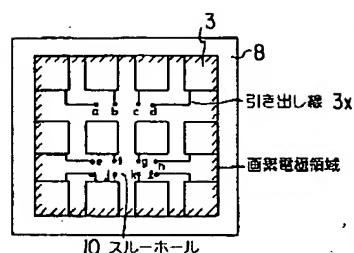
【図 4 7】



【図 48】



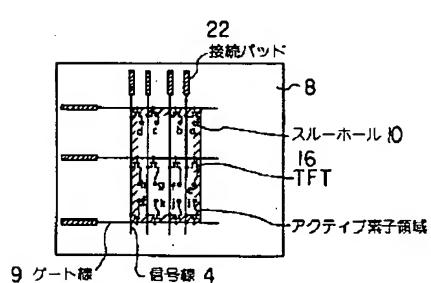
【図 49】



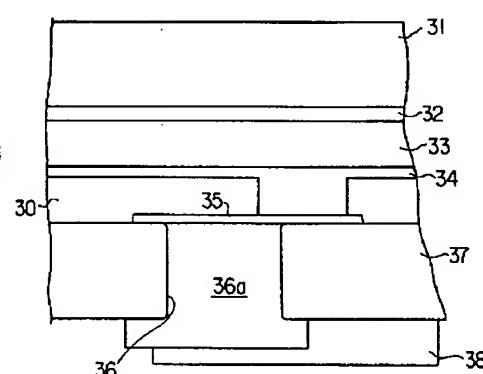
【図 65】



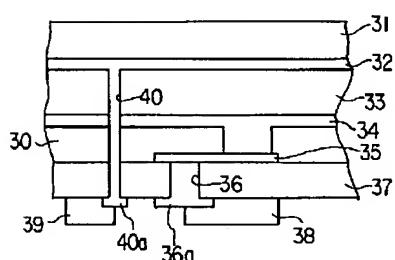
【図 50】



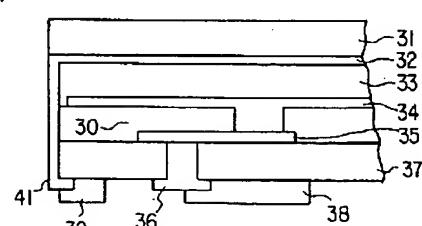
【図 51】



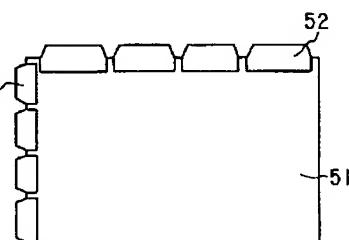
【図 52】



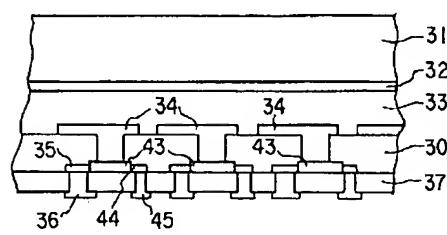
【図 53】



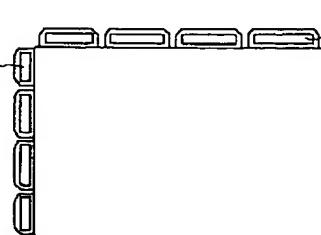
【図 56】



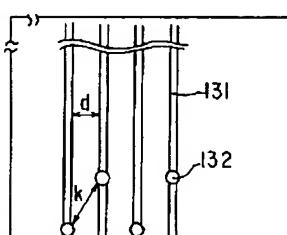
【図 54】



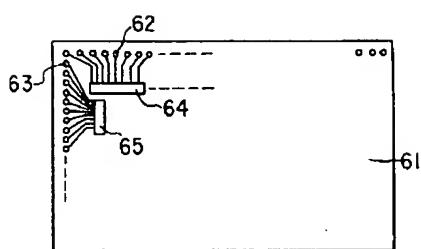
【図 57】



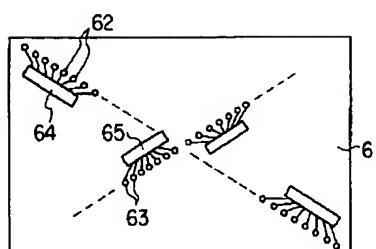
【図 67】



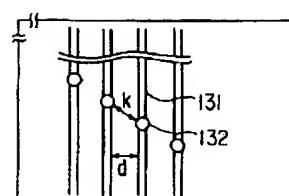
【図58】



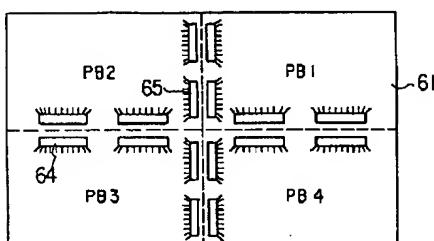
【図59】



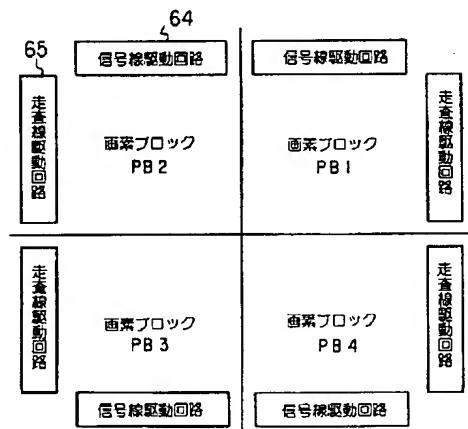
[图 68]



【図60】



【図61】



[図62]

【図63】

(ゲート電圧波形)

近

三

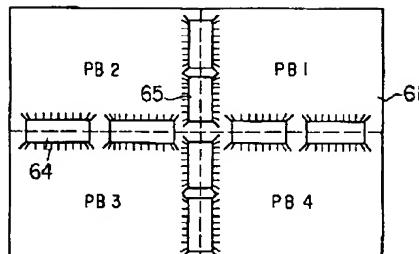
→ ドライバからの

二

10

本方式：

1



【図66】

(コモン電圧波形)

三

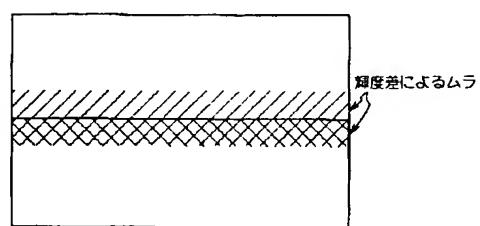
大

10

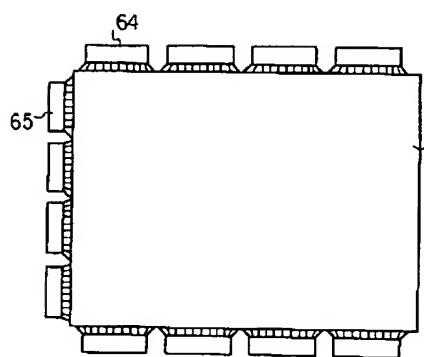
43

万葉

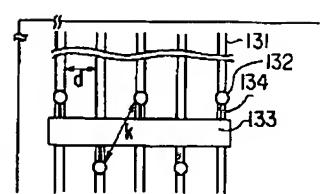
20



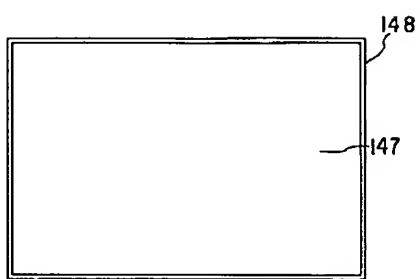
【図64】



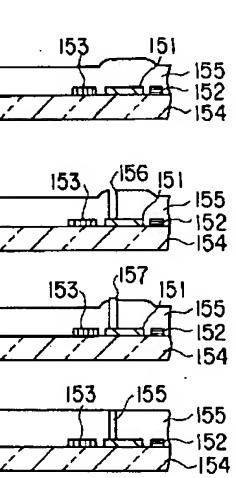
【図69】



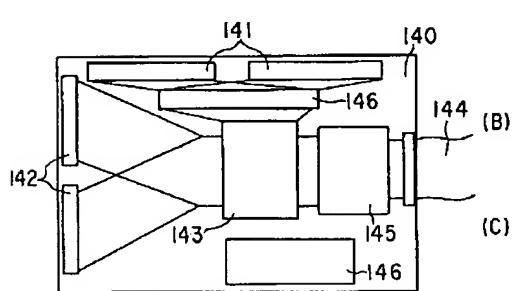
【図71】



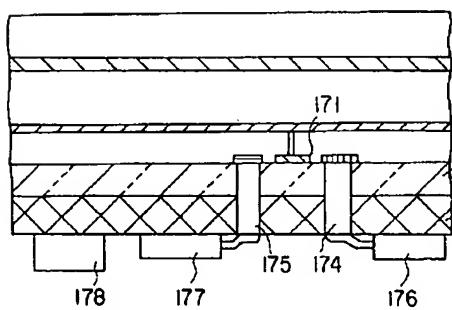
【図72】



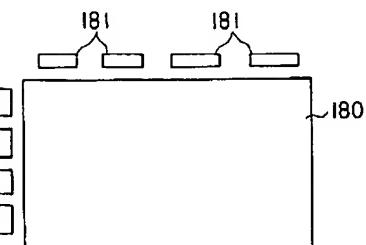
【図73】



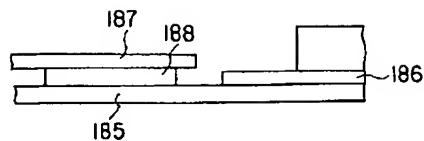
【図74】



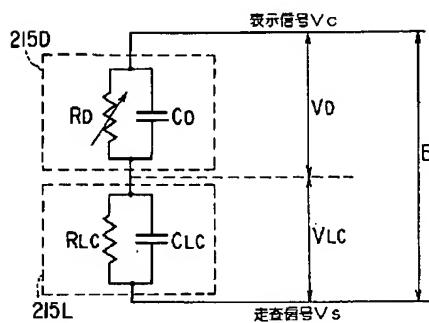
【図75】



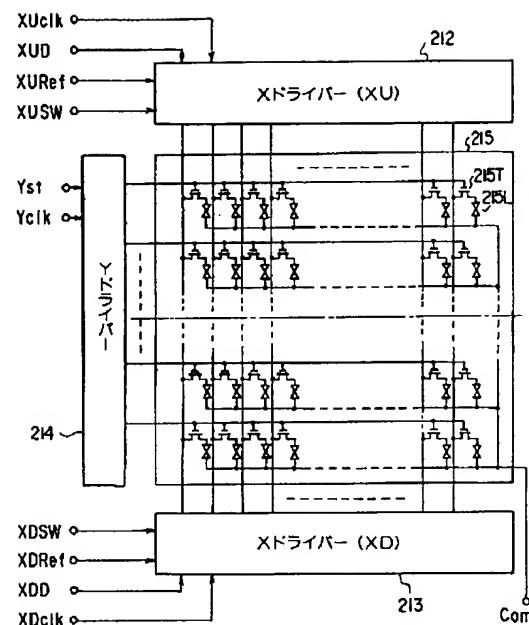
【図 7 6】



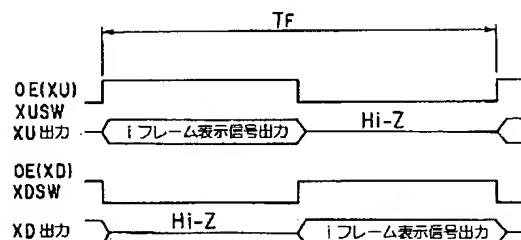
【図 8 3】



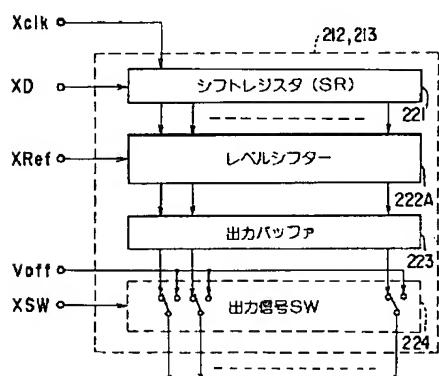
【図 7 8】



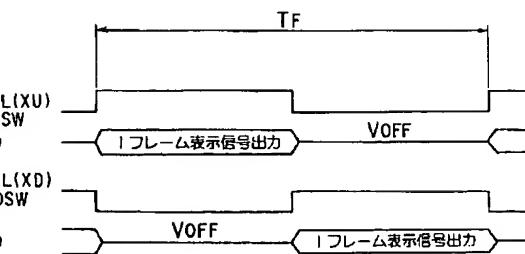
【図 7 9】



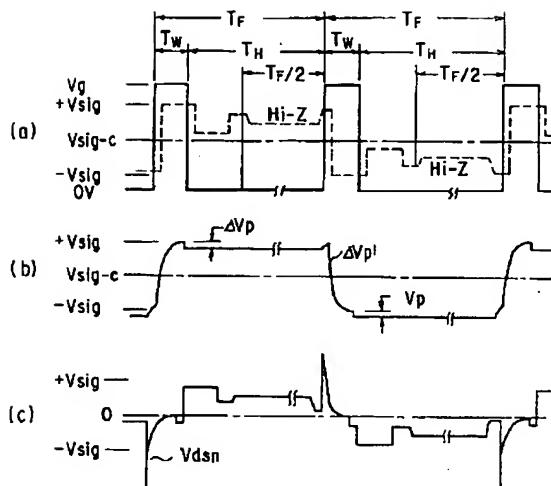
【図 8 4】



【図 8 5】

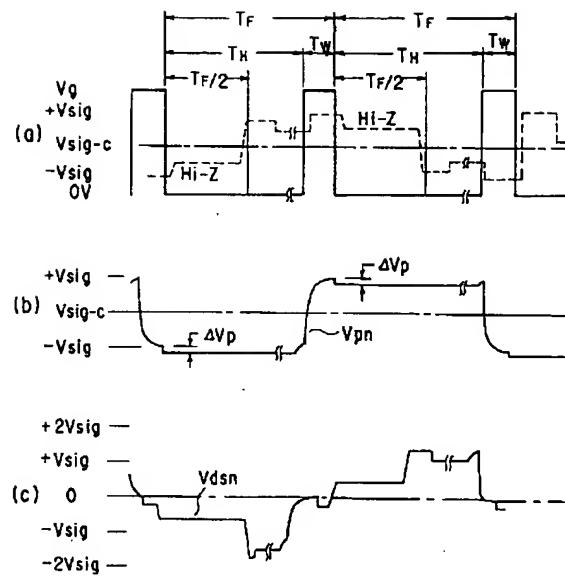


【図 8 0】

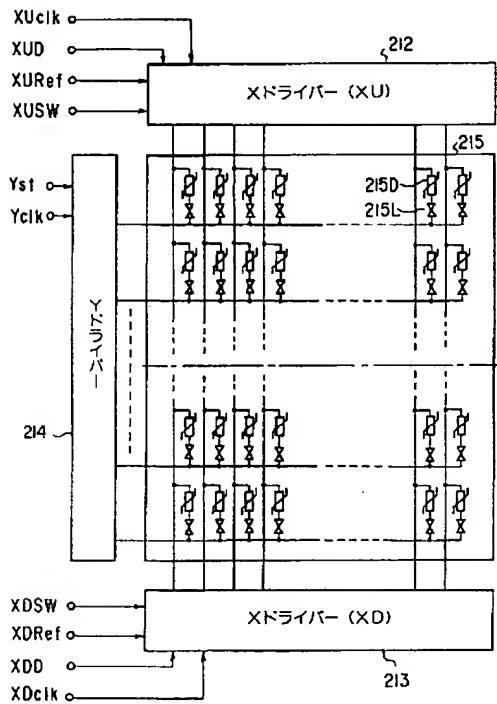


【図 8 2】

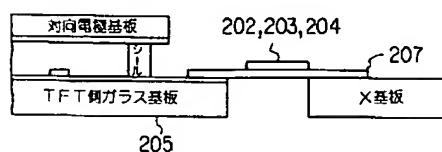
【図 8 1】



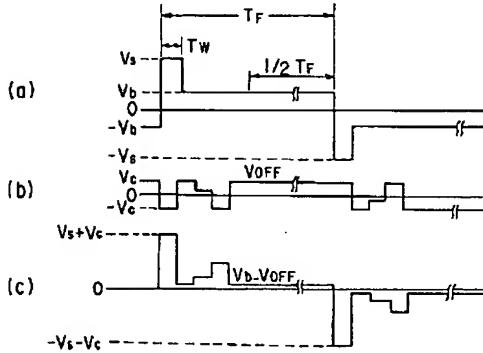
【図 8 6】



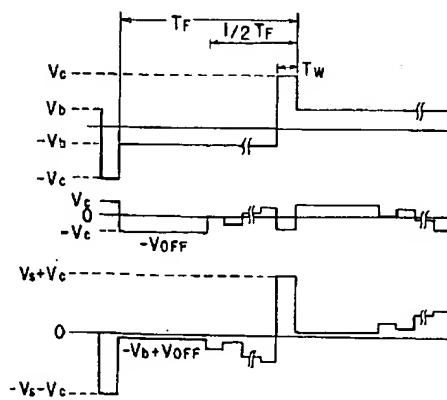
【図 9 5】



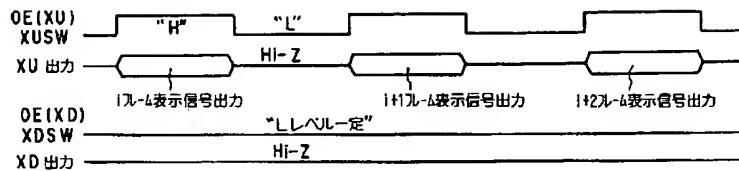
205



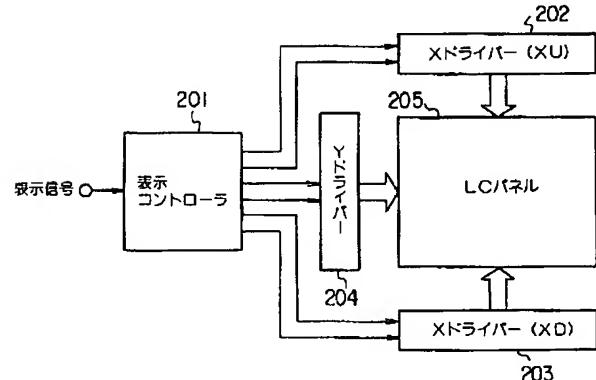
【図 8 7】



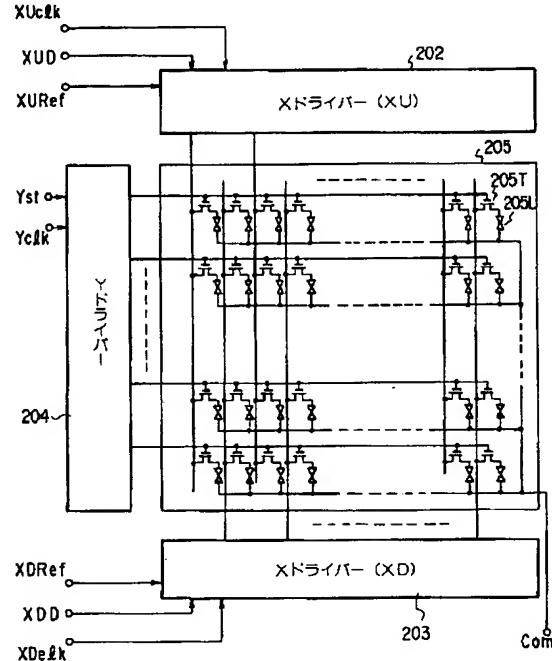
【図 8 8】



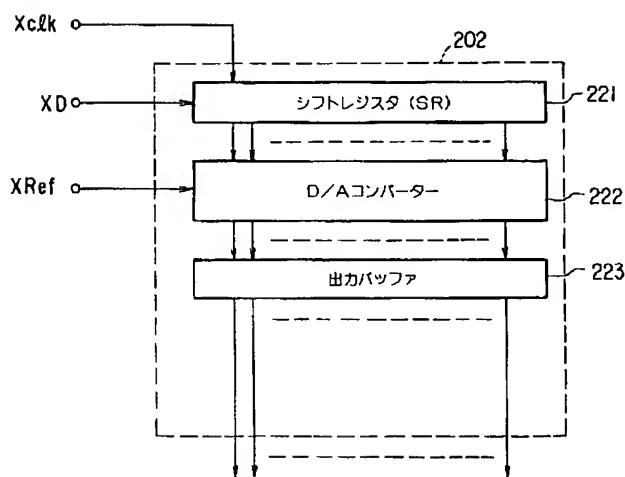
【図 8 9】



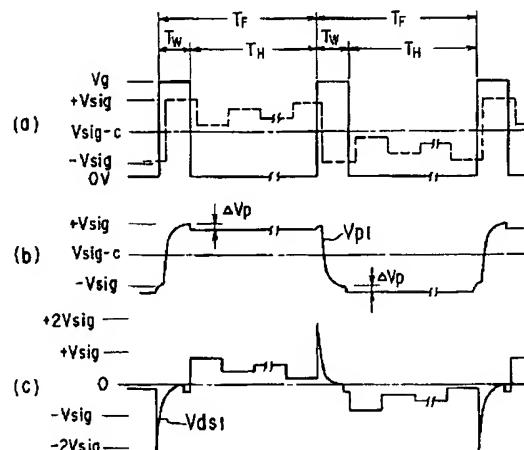
【図 9 0】



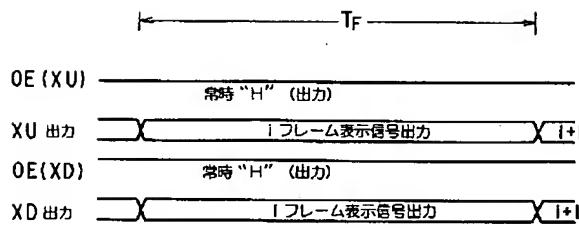
【図 9 1】



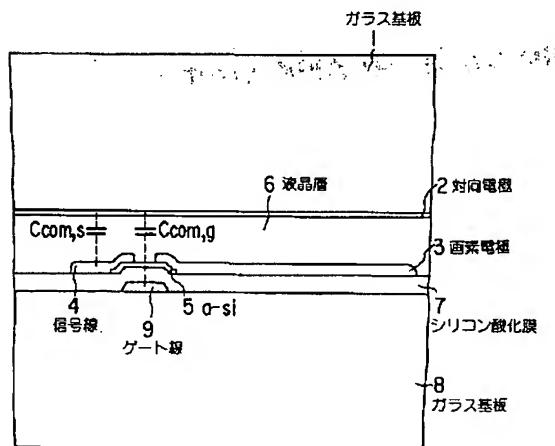
【図 9 3】



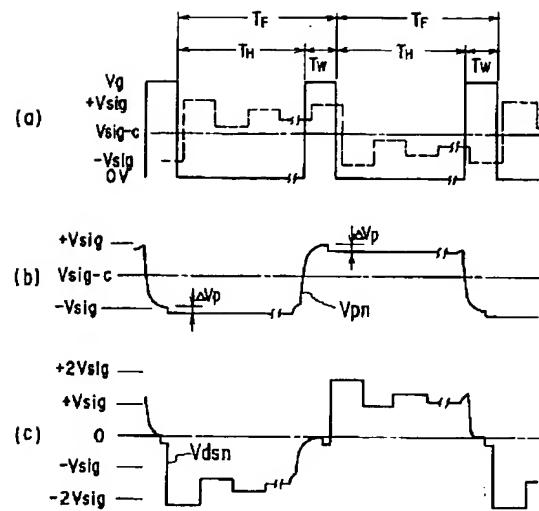
【図92】



【図96】



【図94】



フロントページの続き

(72)発明者 奥村 治彦

神奈川県横浜市磯子区新磯子町33番地 株
 式会社東芝生産技術研究所内

THIS PAGE IS A NISPTA